

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takahiro SAITO, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: GRAPHICS PROCESSOR, GRAPHICS CARD AND GRAPHICS PROCESSING SYSTEM

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

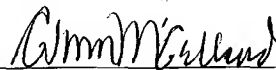
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-113188	April 17, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913



22850

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 4月17日

出 願 番 号

Application Number:

特願2003-113188

[ST.10/C]:

[JP2003-113188]

出 願 人

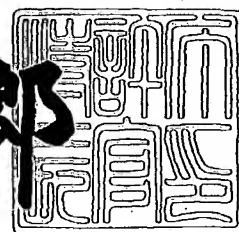
Applicant(s):

株式会社東芝

2003年 5月13日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



【書類名】 特許願

【整理番号】 A000202909

【提出日】 平成15年 4月17日

【あて先】 特許庁長官 殿

【国際特許分類】 G06T 1/20

【発明の名称】 グラフィックプロセッサ、グラフィックスカード及び  
グラフィックス処理システム

【請求項の数】 21

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ  
イクロエレクトロニクスセンター内

【氏名】 齋藤 敬弘

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ  
イクロエレクトロニクスセンター内

【氏名】 国松 敦

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 グラフィックスプロセッサ、グラフィックスカード及びグラフィックス処理システム

【特許請求の範囲】

【請求項 1】 ピクセルデータにシェーディング処理を施すシェーディング処理部と、

ビデオメモリから出力されるテクスチャデータ及びマップデータを前記シェーディング処理部に入力可能な第 1 のパスと、

前記シェーディング処理部から出力されるピクセルデータを前記ビデオメモリに出力可能な第 2 のパスと、

ピクセル展開部から出力されるピクセルデータ及びこのピクセルデータの代わりに前記ビデオメモリから出力されるピクセルデータを前記シェーディング処理部に入力可能な第 3 のパスと

を具備することを特徴とするグラフィックスプロセッサ。

【請求項 2】 ピクセルデータにシェーディング処理を施すシェーディング処理部と、

ビデオメモリから出力されるテクスチャデータ及びマップデータを前記シェーディング処理部に入力可能な第 1 のパスと、

前記シェーディング処理部から出力されるピクセルデータを前記ビデオメモリに出力可能な第 2 のパスと、

前記シェーディング処理部から出力されるピクセルデータの、前記ビデオメモリへの書き込みアドレスを、書き込みアドレス計算情報に従って計算する書き込みアドレス計算部と

を具備することを特徴とするグラフィックスプロセッサ。

【請求項 3】 前記シェーディング処理部から出力されるピクセルデータの、前記ビデオメモリへの書き込みアドレスを、書き込みアドレス計算情報に従って計算する書き込みアドレス計算部を、さらに、具備することを特徴とする請求項 1 に記載のグラフィックスプロセッサ。

【請求項 4】 前記書き込みアドレス計算情報は、前記シェーディング処理

部の出力に付加されることを特徴とする請求項2及び請求項3いずれかに記載のグラフィックスプロセッサ。

【請求項5】 前記書き込みアドレス計算情報は、ピクセル展開方式に応じた情報を含むことを特徴とする請求項2乃至請求項4いずれか一項に記載のグラフィックスプロセッサ。

【請求項6】 前記書き込みアドレス計算情報は、環境マップの位置を示す情報を含むことを特徴とする請求項2乃至請求項4いずれか一項に記載のグラフィックスプロセッサ。

【請求項7】 前記書き込みアドレス計算情報は、ピクセルの深度を示す情報を含むことを特徴とする請求項2乃至請求項4いずれか一項に記載のグラフィックスプロセッサ。

【請求項8】 電子機器に接続可能な第1のコネクタと、  
前記第1のコネクタを介して画像表示データを受け、前記画像表示データをピクセルに展開し、ピクセルデータを生成するピクセル展開部と、  
前記ピクセルデータにシェーディング処理を施すシェーディング処理部と、  
ビデオメモリと、  
前記ビデオメモリから出力されるテクスチャデータ及びマップデータを前記シェーディング処理部に入力する第1のパスと、  
前記シェーディング処理部から出力されるピクセルデータを前記ビデオメモリに出力する第2のパスと、  
ピクセル展開部から出力されるピクセルデータ及びこのピクセルデータの代わりに前記ビデオメモリから出力されるピクセルデータを前記シェーディング処理部に入力可能な第3のパスと、  
前記ビデオメモリから出力されるスクリーンイメージをビデオ信号に変換するD/Aコンバータと、  
前記D/Aコンバータの出力をディスプレイに接続可能な第2のコネクタとを具備することを特徴とするグラフィックスカード。

【請求項9】 電子機器に接続可能な第1のコネクタと、  
前記第1のコネクタを介して画像表示データを受け、前記画像表示データをピ

クセルに展開し、ピクセルデータを生成するピクセル展開部と、

前記ピクセルデータにシェーディング処理を施すシェーディング処理部と、

ビデオメモリと、

前記ビデオメモリから出力されるテクスチャデータ及びマップデータを前記シェーディング処理部に入力する第1のパスと、

前記シェーディング処理部から出力されるピクセルデータを前記ビデオメモリに出力する第2のパスと、

前記シェーディング処理部から出力されるピクセルデータの、前記ビデオメモリへの書き込みアドレスを書き込みアドレス計算情報に従って計算する書き込みアドレス計算部と、

前記ビデオメモリから出力されるスクリーンイメージをビデオ信号に変換するD/Aコンバータと、

前記D/Aコンバータの出力をディスプレイに接続可能な第2のコネクタとを具備することを特徴とするグラフィックスカード。

【請求項10】 前記シェーディング処理部から出力されるピクセルデータの、前記ビデオメモリへの書き込みアドレスを書き込みアドレス計算情報に従って計算する書き込みアドレス計算部を、さらに、具備することを特徴とする請求項8に記載のグラフィックスカード。

【請求項11】 前記書き込みアドレス計算情報は、前記シェーディング処理部の出力に付加されることを特徴とする請求項9及び請求項10いずれかに記載のグラフィックスカード。

【請求項12】 前記書き込みアドレス計算情報は、ピクセル展開方式に応じた情報を含むことを特徴とする請求項9乃至請求項11いずれか一項に記載のグラフィックスカード。

【請求項13】 前記書き込みアドレス計算情報は、環境マップの位置を示す情報を含むことを特徴とする請求項9乃至請求項11いずれか一項に記載のグラフィックスカード。

【請求項14】 前記書き込みアドレス計算情報は、ピクセルの深度を示す情報を含むことを特徴とする請求項9乃至請求項11いずれか一項に記載のグラ

フィックスカード。

【請求項15】 周辺機器に接続可能なインターフェースバスと、  
CPUと、  
前記インターフェースバス及び前記CPUに接続されるバス・ブリッジと、  
前記バス・ブリッジを介して画像表示データを受け、前記画像表示データをピクセルに展開し、ピクセルデータを生成するピクセル展開部と、  
前記ピクセルデータにシェーディング処理を施すシェーディング処理部と、  
ビデオメモリと、  
前記ビデオメモリから出力されるテクスチャデータ及びマップデータを前記シェーディング処理部に入力する第1のバスと、  
前記シェーディング処理部から出力されるピクセルデータを前記ビデオメモリに出力する第2のバスと、  
ピクセル展開部から出力されるピクセルデータ及びこのピクセルデータの代わりに前記ビデオメモリから出力されるピクセルデータを前記シェーディング処理部に入力可能な第3のバスと、  
前記ビデオメモリから出力されるピクセルデータをビデオ信号に変換するD/Aコンバータと  
を具備することを特徴とするグラフィックス処理システム。

【請求項16】 周辺機器に接続可能なインターフェースバスと、  
CPUと、  
前記インターフェースバス及び前記CPUに接続されるバス・ブリッジと、  
前記バス・ブリッジを介して画像表示データを受け、前記画像表示データをピクセルに展開し、ピクセルデータを生成するピクセル展開部と、  
前記ピクセルデータにシェーディング処理を施すシェーディング処理部と、  
ビデオメモリと、  
前記ビデオメモリから出力されるテクスチャデータ及びマップデータを前記シェーディング処理部に入力する第1のバスと、  
前記シェーディング処理部から出力されるピクセルデータを前記ビデオメモリに出力する第2のバスと、



前記シェーディング処理部から出力されるピクセルデータの、前記ビデオメモリへの書き込みアドレスを書き込みアドレス計算情報に従って計算する書き込みアドレス計算部と、

前記ビデオメモリから出力されるピクセルデータをビデオ信号に変換するD/Aコンバータと

を具備することを特徴とするグラフィックス処理システム。

【請求項17】 前記シェーディング処理部から出力されるピクセルデータの、前記ビデオメモリへの書き込みアドレスを書き込みアドレス計算情報に従って計算する書き込みアドレス計算部を、さらに、具備することを特徴とする請求項15に記載のグラフィックス処理システム。

【請求項18】 前記書き込みアドレス計算情報は、前記シェーディング処理部の出力に付加されることを特徴とする請求項16及び請求項17いずれかに記載のグラフィックス処理システム。

【請求項19】 前記書き込みアドレス計算情報は、ピクセル展開方式に応じた情報を含むことを特徴とする請求項16乃至請求項18いずれか一項に記載のグラフィックス処理システム。

【請求項20】 前記書き込みアドレス計算情報は、環境マップの位置を示す情報を含むことを特徴とする請求項16乃至請求項18いずれか一項に記載のグラフィックスカード。

【請求項21】 前記書き込みアドレス計算情報は、ピクセルの深度を示す情報を含むことを特徴とする請求項16乃至請求項18いずれか一項に記載のグラフィックスカード。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

この発明はグラフィックスプロセッサ、そのグラフィックスプロセッサを用いたグラフィックスカード及びグラフィックス処理システムに関する。

##### 【0002】

##### 【従来の技術】

コンピュータグラフィックス、例えば、3次元グラフィックスにおけるリアル感  
は年々高まってきている。

【0003】

リアル感を向上させるためには、モデルの面にマッピングするテクスチャ及び  
マップのテーブル数を増加させ、かつ各テーブルのサイズを大きくする必要があ  
る。複数のテクスチャをピクセルにマッピングする例としては、特許文献1、2  
に記載されている。

【0004】

さらに、リアル感を向上させるためには、多数かつ大サイズのテーブルによる  
、大規模な演算を高速に行わなければならない。

【0005】

【特許文献1】

米国特許第6,181,352号明細書

【0006】

【特許文献2】

米国特許第6,333,744号明細書

【0007】

【発明が解決しようとする課題】

3次元グラフィックスにおけるリアル感向上の要求に伴い、グラフィックスプ  
ロセッサの演算能力不足や、処理速度不足の事情が顕著になってきた。

【0008】

この発明は、上記の事情に鑑み為されたもので、その目的は、演算能力及び処  
理速度を向上させることが可能なグラフィックスプロセッサ、グラフィックスカ  
ード及びグラフィックス処理システムを提供することにある。

【0009】

【課題を解決するための手段】

上記目的を達成するために、この発明の第1態様に係るグラフィックスプロセ  
ッサは、ピクセルデータにシェーディング処理を施すシェーディング処理部と、  
ビデオメモリから出力されるテクスチャデータ及びマップデータを前記シェーデ

ィング処理部に入力可能な第1のパスと、前記シェーディング処理部から出力されるピクセルデータを前記ビデオメモリに出力可能な第2のパスと、ピクセル展開部から出力されるピクセルデータ及びこのピクセルデータの代わりに前記ビデオメモリから出力されるピクセルデータを前記シェーディング処理部に入力可能な第3のパスとを具備することを特徴とする。

## 【0010】

上記目的を達成するために、この発明の第2態様に係るグラフィックスプロセッサは、ピクセルデータにシェーディング処理を施すシェーディング処理部と、ビデオメモリから出力されるテクスチャデータ及びマップデータを前記シェーディング処理部に入力可能な第1のパスと、前記シェーディング処理部から出力されるピクセルデータを前記ビデオメモリに出力可能な第2のパスと、前記シェーディング処理部から出力されるピクセルデータの、前記ビデオメモリへの書き込みアドレスを、書き込みアドレス計算情報に従って計算する書き込みアドレス計算部とを具備することを特徴とする。

## 【0011】

上記目的を達成するために、この発明の第3態様に係るグラフィックスカードは、電子機器に接続可能な第1のコネクタと、前記第1のコネクタを介して画像表示データを受け、前記画像表示データをピクセルに展開し、ピクセルデータを生成するピクセル展開部と、前記ピクセルデータにシェーディング処理を施すシェーディング処理部と、ビデオメモリと、前記ビデオメモリから出力されるテクスチャデータ及びマップデータを前記シェーディング処理部に入力する第1のパスと、前記シェーディング処理部から出力されるピクセルデータを前記ビデオメモリに出力する第2のパスと、ピクセル展開部から出力されるピクセルデータ及びこのピクセルデータの代わりに前記ビデオメモリから出力されるピクセルデータを前記シェーディング処理部に入力可能な第3のパスと、前記ビデオメモリから出力されるスクリーンイメージをビデオ信号に変換するD/Aコンバータと、前記D/Aコンバータの出力をディスプレイに接続可能な第2のコネクタとを具備することを特徴とする。

## 【0012】

上記目的を達成するために、この発明の第4態様に係るグラフィックスカードは、電子機器に接続可能な第1のコネクタと、前記第1のコネクタを介して画像表示データを受け、前記画像表示データをピクセルに展開し、ピクセルデータを生成するピクセル展開部と、前記ピクセルデータにシェーディング処理を施すシェーディング処理部と、ビデオメモリと、前記ビデオメモリから出力されるテクスチャデータ及びマップデータを前記シェーディング処理部に入力する第1のバスと、前記シェーディング処理部から出力されるピクセルデータを前記ビデオメモリに出力する第2のバスと、前記シェーディング処理部から出力されるピクセルデータの、前記ビデオメモリへの書き込みアドレスを書き込みアドレス計算情報に従って計算する書き込みアドレス計算部と、前記ビデオメモリから出力されるスクリーンイメージをビデオ信号に変換するD/Aコンバータと、前記D/Aコンバータの出力をディスプレイに接続可能な第2のコネクタとを具備することを特徴とする。

## 【0013】

上記目的を達成するために、この発明の第5態様に係るグラフィックス処理システムは、周辺機器に接続可能なインターフェースバスと、CPUと、前記インターフェースバス及び前記CPUに接続されるバス・ブリッジと、前記バス・ブリッジを介して画像表示データを受け、前記画像表示データをピクセルに展開し、ピクセルデータを生成するピクセル展開部と、前記ピクセルデータにシェーディング処理を施すシェーディング処理部と、ビデオメモリと、前記ビデオメモリから出力されるテクスチャデータ及びマップデータを前記シェーディング処理部に入力する第1のバスと、前記シェーディング処理部から出力されるピクセルデータを前記ビデオメモリに出力する第2のバスと、ピクセル展開部から出力されるピクセルデータ及びこのピクセルデータの代わりに前記ビデオメモリから出力されるピクセルデータを前記シェーディング処理部に入力可能な第3のバスと、前記ビデオメモリから出力されるピクセルデータをビデオ信号に変換するD/Aコンバータとを具備することを特徴とする。

## 【0014】

上記目的を達成するために、この発明の第6態様に係るグラフィックス処理シ

システムは、周辺機器に接続可能なインターフェースバスと、CPUと、前記インターフェースバス及び前記CPUに接続されるバス・ブリッジと、前記バス・ブリッジを介して画像表示データを受け、前記画像表示データをピクセルに展開し、ピクセルデータを生成するピクセル展開部と、前記ピクセルデータにシェーディング処理を施すシェーディング処理部と、ビデオメモリと、前記ビデオメモリから出力されるテクスチャデータ及びマップデータを前記シェーディング処理部に入力する第1のバスと、前記シェーディング処理部から出力されるピクセルデータを前記ビデオメモリに出力する第2のバスと、前記シェーディング処理部から出力されるピクセルデータの、前記ビデオメモリへの書き込みアドレスを書き込みアドレス計算情報に従って計算する書き込みアドレス計算部と、前記ビデオメモリから出力されるピクセルデータをビデオ信号に変換するD/Aコンバータとを具備することを特徴とする。

【0015】

【発明の実施の形態】

以下、この発明の実施形態を、図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0016】

(第1実施形態)

第1実施形態の説明に先立ち、参考例に係るグラフィックスプロセッサを説明する。

【0017】

図1A～図1Cは、第1実施形態の参考例に係るグラフィックスプロセッサの動作を示す図である。

【0018】

ピクセルの描画に複雑な処理が伴うとき、シェーディング処理部の、テーブル引き及び演算のリソースが足りなくなることがある。この場合には、シェーディング処理をマルチパスで実行する。

【0019】

例えば、図1Aに示すように、ポリゴンをピクセル展開部101に入力し、ポ

リゴンをピクセルデータに展開する。次に、展開されたピクセルデータをシェーディング処理部102に入力し、ピクセルにシェーディング処理を施し、ピクセルを描画する。描画の途中で、シェーディング処理部102のリソースが足りなくなったとき、シェーディング処理の途中経過をフレームバッファ103に書き込み、シェーディング処理部102を空ける(図1B)。この後、残りのシェーディング処理を行い、フレームバッファ103に書き込む(図1C)。この場合、フレームバッファ103は1次元のFIFOバッファとする。

#### 【0020】

一度に処理しきれない複雑な処理の場合、本参考例のように、シェーディング処理を複数に分けて行う。

#### 【0021】

本第1実施形態は、一度に処理しきれない複雑な処理であっても、処理速度及び演算能力を向上できるグラフィックスプロセッサに関する。

#### 【0022】

図2は、この発明が適用されるグラフィックス処理システムの一例を示すブロック図である。

#### 【0023】

図2に示すように、インターフェースバス(以下I/Fバスという)1には周辺機器、例えば、コントローラ2、DVDドライブ3、ハードディスク4及び通信装置5が接続されている。I/Fバス1は、さらに、バス・ブリッジ6に接続されている。バス・ブリッジ6は、CPU7、及びグラフィックスプロセッサ(以下GPUという)8に接続されている。バス・ブリッジ6は、I/Fバス1をCPU7に接続するか、あるいはI/Fバス1をGPU8に接続するか、あるいはCPU7をGPU8に接続するかを選択する。例えば、I/Fバス1に出力された情報がCPU7に伝えるべき情報、及びCPU7が出力した情報がI/Fバス1に伝えるべき情報の場合には、I/Fバス1をCPU7に接続する。また、I/Fバス1に出力された情報がGPU8に伝えるべき情報、及びGPU8が出力した情報がI/Fバス1に伝えるべき情報の場合には、I/Fバス1をGPU8に接続する。また、CPU7が出力した情報がGPU8に伝えるべき情報、及

びGPU 8が出力した情報がCPU 7に伝えるべき情報の場合には、CPU 7をGPU 8に接続する。

【0024】

図3は、GPUの一例を示すブロック図である。

【0025】

図3に示すように、GPU 8は、システム・インタフェース（以下システム・I/Fという）9、グラフィックス描画部10、メモリ・インタフェース（以下メモリ・I/Fという）11、及び画像出力部12を有する。バス・ブリッジ6からの情報は、システム・I/F 9を介してグラフィックス描画部10に入力される。グラフィックス描画部10は、バス・ブリッジ6からの情報、例えば、CPU 7からの画像表示データ、例えば、ポリゴンを受け、ポリゴンをピクセルデータに展開し、展開したピクセルデータにシェーディング処理を施し、システム・I/F 9及びメモリ・I/Fを介してビデオメモリ13に書き込む。ビデオメモリ13は、テクスチャデータ及びマップデータを記憶するテクスチャメモリ30と、グラフィックス描画部10からの出力が、例えば、スクリーンイメージとして書き込まれるフレームバッファ31とを有する。テクスチャメモリ30から出力されたテクスチャデータ及びマップデータは、メモリ・I/F 11、システム・I/F 9を介してグラフィックス描画部10に入力され、ピクセルに対するシェーディング処理に利用される。フレームバッファ31から出力されたスクリーンイメージは、メモリ・I/F 11、システム・I/F 9及び画像出力部12を介して、D/Aコンバータ14に入力される。D/Aコンバータ14は、フレームバッファからの出力をアナログ信号に変換し、ビデオ信号出力として出力する。ビデオ信号出力は、ディスプレイ（図示せず）に入力される。

【0026】

なお、上記グラフィックス処理システム及びGPUは一例であって、図2、図3に示した構成に限られるものではない。

【0027】

図4は、この発明の第1実施形態に係るGPU及びビデオメモリを示すブロック図である。

## 【0028】

図4に示すように、本例に係るGPU8のグラフィックス描画部10は、ピクセル展開部20及びシェーディング処理部21を有する。ピクセル展開部20は、例えば、I/Fバス1又はCPU7から出力されたポリゴンを、システム・I/F9を介して受け、このポリゴンをピクセルデータに展開する。展開されたピクセルデータはシェーディング処理部21に入力される。シェーディング処理部21はテクスチャメモリ30から出力されたテクスチャデータ及びマップデータに基づき、ピクセルにシェーディング処理を施す。シェーディング処理部21の出力は、フレームバッファ31に書き込まれる。さらに、本例では、フレームバッファ31の出力を、ピクセル展開部20を通さずに、シェーディング処理部21及びテクスチャメモリ30に入力するパス40を有する。

## 【0029】

次に、その動作の一例を説明する。

## 【0030】

図5A～図5Eは、この発明の第1実施形態に係るGPU及びビデオメモリの動作の一例を示す図である。

## 【0031】

まず、図5Aに示すように、例えば、CPU7から出力された画面表示データ、例えば、ポリゴンをピクセル展開部20に入力する。ピクセル展開部20は、ポリゴンをピクセルデータに展開する。次に、展開されたピクセルデータをシェーディング処理部21に入力する。次に、描画すべきピクセルであるか否かを判断する。この判断は、例えば、シェーディング処理部21で行われる。

## 【0032】

次に、図5Bに示すように、“描画すべきピクセルである”と判断されたピクセルデータをシェーディング処理部21から出力し、フレームバッファ31に書き込む。“描画をしなくて良い”と判断されたピクセルデータについては出力しない。描画すべきピクセルであるか否かの判断の一例は、画面に表示した際、視点位置から見えるピクセルであるか否かである。“視点位置から見える”と判断されたピクセルについて、そのピクセルデータをフレームバッファ31に書



き込めば良い。

【0033】

次に、図5Cに示すように、フレームバッファ31に書き込まれたピクセルデータを読み出し、パス40を介してシェーディング処理部21に再入力する。次に、シェーディング処理部21は、再入力されたピクセルデータに基づきテクスチャメモリ30から対応したテーブルを読み出し、ピクセルにシェーディング処理を施し、ピクセルを描画する。

【0034】

次に、図5Dに示すように、シェーディングされたピクセルデータをシェーディング処理部21から出力し、例えば、スクリーンイメージとしてフレームバッファ31に書き込む。スクリーンイメージは、図5Eに示すように、フレームバッファ31から読み出され、メモリ・I/F11、システム・I/F9及び画像出力部12を介してD/Aコンバータ14に入力される。D/Aコンバータ14はスクリーンイメージをビデオ信号に変換してディスプレイに入力する。ディスプレイはビデオ信号に基づきスクリーンイメージを表示する。

【0035】

このように、第1実施形態では、シェーディングを開始する前に、描画すべきピクセルであるか否かを判定し、描画すべきピクセルのピクセルデータをフレームバッファ31に書き込む。この後、フレームバッファ31に書き込まれたピクセルデータをフレームバッファ31から読み出し、パス40を介してシェーディング処理部21に再入力する。このため、シェーディング処理部21は、描画すべきピクセルのみを描画し、描画しなくても良いピクセルについては描画しなくて済む。従って、シェーディング処理するピクセルの数が減り、例えば、ピクセルの描画に、一度に処理しきれない複雑な処理を伴うような場合でも、一度に処理することが可能となる。

【0036】

第1実施形態によれば、ピクセルの描画に複雑な処理を伴う場合でも、一度に処理することが可能となるので、例えば、参考例のように、処理を二度に分ける場合に比較して処理速度が向上する。また、シェーディング処理部21は、描画

しなくても良いピクセルについては描画しないので演算能力も向上する。

【0037】

さらに、第1実施形態によれば、ピクセルデータをフレームバッファ31から、ピクセル展開部20を通さずにシェーディング処理部21に戻す。このため、ピクセル展開部20以前の処理には負担がかからない。

【0038】

第1実施形態において、バス40は、シェーディング処理部21だけでなく、テクスチャメモリ30にも接続されている。テクスチャメモリ30に接続されたバス40の使い方の一例は次の通りである。

【0039】

例えば、“描画すべきピクセルである”と判断されたピクセルデータについては、シェーディング処理部21において、途中までシェーディング処理を施しておいても良い。途中までシェーディングされたピクセルデータについては、直接にシェーディング処理部21に戻さず、例えば、テクスチャメモリ30を介してシェーディング処理部21に戻す。

【0040】

描画が進んでいないピクセルデータは、ピクセル展開部20から出力されるピクセルデータと同じであり、例えば、ピクセル展開部20の出力に戻し、ピクセル展開部20の出力を介してシェーディング処理部21に直接戻すことが可能である。しかし、描画が進んだピクセルデータは、ピクセル展開部20から出力されるピクセルデータとは同じではなく、ピクセル展開部20の出力を介してシェーディング処理部21に直接に戻すと、例えば、データの不整合等の不具合を招くことがある。このような不具合は、描画が進んだピクセルデータについては、シェーディング処理部21に直接に戻さず、一旦テクスチャメモリ30に入力し、テクスチャメモリ30の出力を介してシェーディング処理部21に戻すことで解消可能である。

【0041】

なお、“描画すべきピクセルである”と判断されたピクセルデータに、途中までシェーディング処理を施しておくことの利点は、ピクセルデータに、シェー

ディンク処理を施さないまま再入力する場合に比べて、シェーディング処理時間を短縮できることである。

## 【0042】

## (第2実施形態)

ピクセル展開部20は、通常、ハードワイヤードで構成される。ピクセル展開部20がハードワイヤードで構成されると、一つの展開方法でしか描画できない。本第2実施形態は、ピクセル展開部20がハードワイヤードで構成され、かつピクセル展開部20が複数の展開方法をサポートしていなくても、複数の展開方法により描画可能とするGPUである。

## 【0043】

図6は、この発明の第2実施形態に係るGPU及びビデオメモリを示すブロック図である。

## 【0044】

図6に示すように、本例に係るGPUの、特にグラフィックス描画部10は、ピクセル展開部20、シェーディング処理部21に加えて、書き込みアドレス計算部50を、さらに有する。

## 【0045】

フレームバッファ31への書き込みアドレスは、通常、ピクセル展開部20でのピクセル展開時に決定されるピクセル座標値に応じて決定される。

## 【0046】

本第2実施形態に係るGPUの書き込みアドレス計算部50は、フレームバッファ31への書き込みアドレスを、ピクセル展開部20で決定される書き込みアドレス以外の情報に基づき決定する。

## 【0047】

以下、書き込みアドレスの決定の一例を説明する。

## 【0048】

図7及び図8は、ピクセル展開部の出力順序とフレームバッファへの書き込み順序との関係を示す図である。

## 【0049】

図7は、ピクセル展開部20がラスタスキャンを用いてポリゴンをピクセルデータに展開した場合を示す。ラスタスキャンの場合、例えば、16個のピクセルデータ0～15は0、1、2、…、13、14、15の順序で出力される。フレームバッファ31への書き込みアドレスはラスタスキャンの出力順序に従って決定され、例えば、ピクセルデータ0～15は、フレームバッファ31のアドレスA0～A15に順番に記憶される。フレームバッファ31からの読み出しは、アドレスA0からA15に向かって行う。これにより、フレームバッファ31からは、ラスタスキャンと同じ出力順序でピクセルデータが出力される。

#### 【0050】

図8は、ピクセル展開部20がラスタスキャンを用いてポリゴンをピクセルデータに展開し、かつ、例えば、MPEGで使用されるジグザグスキャンに対応させる場合を示す。

#### 【0051】

図8に示すように、書き込みアドレス計算部50は、ジグザグスキャンした時の、ピクセルデータ0～15のフレームバッファ31への書き込みアドレスを計算する。ジグザグスキャンした場合には、例えば、16個のピクセルデータ0～15が、0、1、4、8、5、2、3、6、9、12、13、10、7、11、14、15の順序で出力される。そこで、この順序に合うように、ピクセルデータ0～15の書き込みアドレスが計算される。具体的には、ピクセルデータ0をアドレスA0、ピクセルデータ1をアドレスA1、ピクセルデータ2をアドレスA5、ピクセルデータ3をアドレスA6、ピクセルデータ4をアドレスA2、…、ピクセルデータ12をアドレスA9、ピクセルデータ13をアドレスA10、ピクセルデータ14をアドレスA14、ピクセルデータ15をアドレスA15に記憶させる。フレームバッファ31からの読み出しは、アドレスA0からA15に向かって行う。これにより、フレームバッファ31からはジグザグスキャンと同じ出力順序でピクセルデータが出力される。

#### 【0052】

ピクセルデータは、パス40を使ってシェーディング処理部21に戻される。シェーディング処理部21に戻される際、ピクセルデータはジグザグスキャンに

合った順序でシェーディング処理部21に再入力される。この後、再入力されたピクセルデータにシェーディング処理を施す。

【0053】

第2実施形態によれば、ピクセル展開部20が、例えば、ラスタスキャンのみをサポートしていた場合でも、ピクセルデータがシェーディング処理部21に再入力された際には、ジグザグスキャンに応じた順序で入力できる。この結果、ピクセル展開部20がラスタスキャンのみをサポートしていた場合でも、グラフィックス描画部10は、ラスタスキャン以外の展開方法により描画することが可能となる。

【0054】

書き込みアドレス計算部50を用いて書き込みアドレスを変える際には、例えば、書き込みアドレスの指示、あるいは変更を指示するアドレス計算情報が使われる。アドレス計算情報は、例えば、グラフィックス描画部10の外から書き込みアドレス計算部50に入力することができる。この場合、書き込みアドレス計算部50は、入力されたアドレス計算情報に基づき、書き込みアドレスを計算し、計算結果に従って書き込みアドレスを決定する。

【0055】

また、アドレス計算情報は、シェーディング処理部21の出力に含ませることも可能である。この場合、書き込みアドレス計算部50は、シェーディング処理部21の出力に基づき書き込みアドレスを計算し、計算結果に従って書き込みアドレスを決定する。例えば、シェーディング処理部21の出力に、ジグザグスキャンによるピクセル展開を指示するアドレス計算情報を含ませた場合、書き込みアドレス計算部50は、アドレス計算情報を読み取り、ジグザグスキャンによるピクセル展開に合うように書き込みアドレスを計算する。各ピクセルデータは、書き込みアドレス計算部50において、ジグザグスキャンによるピクセル展開に合致するように出力順序が並び変えられ、フレームバッファ31に書き込まれる。

【0056】

アドレス計算情報をシェーディング処理部21の出力に含ませた場合、アドレ

ス計算情報は、シェーディング処理部 2 1 と書き込みアドレス計算部 5 0 とを接続する配線を介して書き込みアドレス計算部 5 0 に入力される。このため、アドレス計算情報を入力するための入力端子を、書き込みアドレス計算部 5 0 に別途用意する必要がない。従って、アドレス計算情報を、シェーディング処理部 2 1 の出力以外から取得する場合に比較して、GPU 8 の回路規模の増大を抑制できる、という利点がある。

## 【 0 0 5 7 】

アドレス計算情報は GPU 8 以外の回路、例えば、CPU 7 から出力されても良いし、GPU 8 内の回路で付加されても良い。アドレス計算情報を CPU 7 から出力する場合には、アドレス計算情報は、例えば、CPU 7 が出力する画面表示データに含ませておけば良い。あるいは CPU 7 が画面表示データを出力するのに先行して、CPU 7 からアドレス計算情報を出力しても良い。

## 【 0 0 5 8 】

アドレス計算情報を GPU 8 内の回路で付加する場合には、例えば、シェーディング処理の状況もしくは結果に基づいてアドレス計算情報をシェーディング処理部 2 1 の出力に付加すれば良い。アドレス計算情報を、GPU 8 内の回路で付加する場合、アドレス計算情報は、CPU 7 からの情報に関わらず、例えば、シェーディング処理の状況もしくは結果に基づいて GPU 8 が独自に生成できる。このため、アドレス計算情報を CPU 7 から得る場合に比較して、GPU 8 が独自に書き込みアドレスを変更でき、フレキシビリティの高い書き込みアドレスの変更が可能になる。

## 【 0 0 5 9 】

さらに、第 2 実施形態では、ピクセル展開後に、ピクセルの書き込みアドレスを計算する。これによって、書き込みアドレスをピクセル単位で変更することが可能となる。書き込みアドレスを、ピクセル単位で変更することによって、書き込みアドレスを、オブジェクト単位やポリゴン単位で変更する場合に比較して、より小さな単位で変更できる。この例に関する実施形態の一例は後述する。

## 【 0 0 6 0 】

なお、第 2 実施形態では、ピクセルデータの書き込みアドレスを計算し、計算

結果に従ってピクセルデータを並びかえ、並びかえたピクセルデータをシェーディング処理部21へ戻し、並びかえたピクセルデータにシェーディング処理を施す、という手順であった。

#### 【0061】

しかし、ピクセルデータにシェーディング処理を施し、シェーディングされたピクセルの書き込みアドレスを計算し、計算結果に従ってシェーディングされたピクセルを並びかえる、という手順にすることも可能である。この手順の場合には、パス40を設ける必要は無い。

#### 【0062】

##### (第3実施形態)

従来のグラフィックスプロセッサは、シェーディング処理時、一つの平面ポリゴンに対して一つのテーブルしか引けなかったが、近時のグラフィックスプロセッサでは、一つの平面ポリゴンに対して複数のテーブルを引けるようになっていく(図9)。さらに、リアル感の向上に伴い、使用するテーブルのサイズが年々大きくなってきており、次に使用するテーブルの場所を予測するようになってきた。例えば、次に使用するテーブルの場所を予測し、予測したテーブルを、例えば、動作が高速なキャッシュメモリに一時的に保持しておく。これにより、テーブルを引く際のアクセス時間が短縮され、グラフィックスプロセッサの処理速度が向上する。

#### 【0063】

しかし、図9に示すように、最初のテーブル110に依存して引かれるテーブル111があった場合には、テーブル111においてランダムアクセス性が増す。ランダムアクセス性が増すと、使用する場所の予測は困難になる。キャッシュメモリの容量が小さい場合には、引こうとしたテーブルがキャッシュメモリに無く、キャッシュメモリよりも動作が低速なテクスチャメモリからテーブルを引かなければならない状況がしばしば発生する。このため、グラフィックスプロセッサの処理速度が劣化する。

#### 【0064】

第3実施形態は、第2実施形態と同様に、書き込みアドレス計算部50を持つ

。第3実施形態の書き込みアドレス計算部50は、次のシェーディング処理が効率良く実行されるように書き込みアドレスを計算する。この計算結果に従って書き込みアドレスを決定し、次のシェーディング処理が効率良く実行されるようにピクセルを並びかえてフレームバッファ31に書き込む。この後、並びかえたピクセルをシェーディング処理部21に戻し、次のシェーディング処理を行う。

## 【0065】

図10は、この発明の第3実施形態に係るGPU及びビデオメモリを示すブロック図である。

## 【0066】

次のシェーディング処理を効率良く実行するには、例えば、次のシェーディング処理においてテーブル引きが効率良く実行されれば良い。そこで、第3実施形態では、テーブル引きの際のランダムアクセス性が軽減されるように書き込みアドレスを計算する。この計算結果に従って書き込みアドレスを決定し、テーブル引きの際のランダムアクセス性が軽減されるようにピクセルを並びかえてフレームバッファ31に書き込む。この後、並び替えたピクセルを、パス40を介してシェーディング処理部21に戻し、次のシェーディング処理を行う。この際のシェーディング処理はテーブル引きが効率良く実行されるために、処理速度が向上する。以下、具体的な一例を説明する。

## 【0067】

本例は、バンプマップ (bump map) とキューブ環境マップ (cube environment map) とを用いたシェーディングである。

## 【0068】

図11Aはバンプマップ、視線ベクトル及び反射ベクトルとキューブ環境マップとの関係を示す図、図11Bはバンプマップとキューブ環境マップとを用いたシェーディング処理の手順の一例を示す図である。

## 【0069】

まず、図11A、図11Bに示すように、まず、平面ポリゴン (ピクセルデータ) に凹凸のテーブル (バンプマップ) 60を引き、その形状により視線ベクトル61-1、61-2の反射ベクトル62-1、62-2を計算する。次に、反射ベクトル



ル62-1、62-2から、ピクセルがキューブ環境マップ63のどの場所を使用してシェーディング処理されるのかを計算する。ここで、バンプマップ60の凹凸の状態によっては、たとえ隣接した領域の描画であっても、キューブ環境マップ63の場所が隣接しない場合がある。例えば、図11Aに示すように、凹凸の斜面64では、反射ベクトル62-1がキューブ環境マップ63の上面に当たるのに対して、この斜面に隣接した凹凸の頂点65付近では、反射ベクトル62-2がキューブ環境マップ63の左面に当たるようになる。キューブ環境マップ63の場所が隣接しなくなると、斜面64の描画にはキューブ環境マップ63の上面のテーブルを引き、これに続く頂点65の描画にはキューブ環境マップ63の左面のテーブルを引く、というように処理しなければならず、テーブル引きに際してランダムアクセス性が増す。

#### 【0070】

これを解消するために、本例では次のような処理を行う。図12は、本例に係るシェーディング処理を行うGPU及びビデオメモリを示すブロック図である。

#### 【0071】

図12に示すように、本例のフレームバッファ31は、バッファ0～バッファkに分かれている。書き込みアドレス計算部50は、シェーディング処理部21でバンプマッピングされたピクセルデータを、どのバッファ0～バッファkに書き込むのかを計算する。キューブ環境マップ63は、例えば、図13に示すように、前後左右上下の6平面に展開することができる。そこで、バンプマッピングされたピクセルデータが、キューブ環境マップのどの面を映すのかを、バンプマップ、視線ベクトル及び反射ベクトルを使って計算する。この計算は、シェーディング処理部21で行われる。計算結果、即ちキューブ環境マップのマップ位置情報は、例えば、シェーディング処理部21の出力に付加される。アドレス計算部50は、マップ位置情報を読み取る。アドレス計算部50は、読み取ったマップ位置情報に従って、バンプマッピングされたピクセルデータを、ピクセルが映す面に応じてソートし、6つのバッファ0～バッファ5のいずれかに書き込む。本例では、バッファ0～バッファ5がそれぞれ、前面、上面、右面、左面、後面、下面に対応している。本例において、バッファ0～バッファ5に書き込まれる

ピクセルデータは、例えば、バンプマップ60はマッピングされているが、キューブ環境マップ63はマッピングされていないシェーディング処理途中のデータである。処理途中のピクセルデータには、例えば、スクリーン座標x、y、z、座標、及びピクセルの色等の描画情報に加えて、マップ位置情報が含まれる。ここまでの流れを、図14A～図14Dに示す。

## 【0072】

まず、図14Aに示すように、例えば、CPU7から出力された画面表示データ、例えば、ポリゴンをピクセル展開部20に入力する。ピクセル展開部20は、ポリゴンをピクセルデータに展開する。次に、ピクセルデータをシェーディング処理部21に入力する。次に、シェーディング処理部21で、ピクセルにシェーディング処理を施す。本例では、各ピクセルデータにバンプマップをマッピングする。この際、上述したように、各ピクセルデータが、キューブ環境マップ63のどの面を映すのかが計算され、計算結果に従ったマップ位置情報がシェーディング処理部21の出力に付加される。

## 【0073】

次に、図14B～図14Dに示すように、アドレス計算部50は、シェーディング処理部21の出力に付加されたマップ位置情報を読み取り、読み取ったマップ位置情報に従って書き込みアドレスを計算する。次に、計算結果に従ってバンプマッピングされたピクセルデータを前面、上面、右面、左面、後面、下面にソートし、6つのバッファ0～バッファ5のいずれかに書き込む。

## 【0074】

書き込み終了後の流れを、図15A～図15Dに示す。

## 【0075】

まず、図15Aに示すように、例えば、バッファ0からバンプマッピングされたピクセルデータを読み出し、読み出したピクセルデータを、パス40を介してシェーディング処理部21に入力する。次に、テクスチャメモリ30からキューブ環境マップの前面に対応したテーブルを読み出し、シェーディング処理部21で、テーブルに記述されている前面の情報をピクセルにマッピングし、書き込みアドレス計算部50を介してフレームバッファ31に書き込む。本例では、フレ

ームバッファ31のうち、例えば、バッファ0に書き込む。

【0076】

前面のマッピングが終了したら、図15Bに示すように、例えば、バッファ1からバンプマッピングされたピクセルデータを読み出し、読み出したピクセルデータを、パス40を介してシェーディング処理部21に入力する。次に、テクスチャメモリ30からキューブ環境マップの上面に対応したテーブルを読み出し、シェーディング処理部21で、テーブルに記述されている上面の情報をピクセルにマッピングし、書き込みアドレス計算部50を介してフレームバッファ31に書き込む。本例では、フレームバッファ31のうち、例えば、バッファ0に書き込む。

【0077】

このような動作を、図15Cに示すように、バッファ5まで繰り返す

ここで、書き込みアドレス計算部50は、キューブ環境マップの面ごとに振り分けられたピクセルデータを、例えば、ピクセル展開方式に合うように戻し、フレームバッファ31に書き込むようにしても良い。この時、環境マッピングされたピクセルデータは、一個のバッファに書き込まれるようにしても良い。本例では、バッファ0に書き込まれる。

【0078】

次に、図15Dに示すように、書き込まれたピクセルデータを、フレームバッファ31から、例えば、スクリーンイメージとして読み出す。

【0079】

本例によれば、ピクセルデータを、キューブ環境マップの前面、上面、右面、左面、後面及び下面に応じて振り分けるので、キューブ環境マップのテーブル引きの際、例えば、前面の次に下面というように、引かれるテーブルがランダムに変化することを抑制できる。

【0080】

なお、第3実施形態では、バッファ0～バッファ5をキューブ環境マップ63の前面、上面、右面、左面、後面及び下面の6面に割り当てたが、キューブ環境マップ63の各面のマップが大きければ、各面をいくつかのブロック、例えば、

図16Aに示すように、4つのブロック66に分割することも可能である。この場合、4ブロック×6面=24枚のブロック66が得られる。24枚のブロック66を24個のバッファ0～バッファ23に一つずつ割り当てるようにしても良い。もちろん、ブロックの分割数は任意である。

#### 【0081】

また、第3実施形態では、環境マップとしてキューブ環境マップを例示したが、環境マップはキューブ環境マップに限られるものではない。例えば、図16Bに示すように球体環境マップ67にも適用できる。図16Bに示す例では、球体環境マップ67が、上下4枚、合計8枚のブロック66に分割されている。8枚のブロック66を8個のバッファ0～バッファ7に一つずつ割り当てることで、第3実施形態を、球体環境マップ67に適用することが可能となる。もちろん、球体環境マップ67においてもブロックの分割数は任意である。

#### 【0082】

以上、第3実施形態によれば、次のシェーディング処理、例えば、環境マップのテーブルを引く際、そのランダムアクセス性を軽減できる。

#### 【0083】

##### (第4実施形態)

本例は、オブジェクトに遠近感を出し、グラフィックスのリアル感を向上させる手法に関する。

#### 【0084】

図17Aには、深度（奥行き）の異なる3つのオブジェクト71、72、73が示されている。本例ではオブジェクト71が最も視点に近く、オブジェクト72、73の順で視点から遠ざかる。図17Bは、オブジェクト71、72、73を視点から見た図である。図17Bでは、オブジェクト71、72、73がシェーディングされていない状態を目視化している。この状態ではオブジェクト71、72、73に遠近感は感じられない。遠近感を出すために、オブジェクト71、72、73に対して、例えば、次のような処理を行う。

#### 【0085】

オブジェクト71、72、73の深度、例えば、視点からの距離を計算し、図

18A～図18Cに示すように、オブジェクト71、72、73を深度別に振り分ける。この振り分けはプログラムで実行され、例えば、CPU7で処理される。その後、深度別に振り分けたオブジェクト71、72、73を、視点から遠い順に順次GPU8に入力し、描画する。

【0086】

まず、図19Aに示すように、視点から最も遠い位置にあるオブジェクト73を描画する。そして、ある範囲、例えば、オブジェクト73全体の描画を終えたら、図19Bに示すように、オブジェクト73の深度、例えば、視点もしくは焦点からのずれに見合ったフィルタをオブジェクト73にかけ、オブジェクト73をぼかす。

【0087】

次に、図19Cに示すように、2番目に遠い位置にあるオブジェクト72を上記同様に描画し、例えば、オブジェクト72全体の描画を終えたら、図19Dに示すように、例えば、視点もしくは焦点からのずれに見合ったフィルタをオブジェクト72にかけ、オブジェクト72をぼかす。その後、図19Eに示すように、オブジェクト72を、ぼかし済みのオブジェクト73にマージする。

【0088】

次に、図19Fに示すように、視点から最も近いオブジェクト71を描画し、例えば、オブジェクト71全体の描画を終えた後、図19Gに示すように、オブジェクト71を、ぼかし済みのオブジェクト72、73にマージする。なお、オブジェクト71には焦点が合っている。焦点が合ったオブジェクトは、例えば、ぼかさなくて良い。

【0089】

又は、図20A～図20Cに示すように、プログラムで深度別に振り分けたオブジェクト71、72、73を順次描画し、別々のバッファにそれぞれ書き込む。次に、図20D、図20Eに示すように、焦点からずれているオブジェクト72、73に対して、各バッファで、例えば、視点もしくは焦点からのずれに見合うように異なるぼかしをかける。その後、図20Eに示すように、オブジェクト71、ぼかし済みのオブジェクト72、73をマージする。

## 【0090】

以上のような処理を施すことで、オブジェクト71、72、73には遠近感が出て、グラフィックスのリアル感が増す。

## 【0091】

しかし、上記手法は、オブジェクト71、72、73ごと、もしくはオブジェクト71、72、73を構成するポリゴンごとにぼかしをかける手法であり、リアル感の、さらなる向上には限界がある。

## 【0092】

また、オブジェクト71、72、73の深度別の振り分けは、プログラムで実行され、例えば、CPU7で処理される。このため、CPU7の作業が増える、という事情がある。

## 【0093】

そこで、第4実施形態では、次のような処理を行う。概要を述べれば、第3実施形態では、ピクセルデータをキューブ環境マップの面ごとにソートし、ピクセルデータをキューブ環境マップの面ごとにシェーディングする、という処理を踏襲し、ピクセルデータを深度別にソートし、ピクセルデータを深度別にぼかしをかけていく、という処理である。第4実施形態では、最後に、各ピクセルデータをマージする。

## 【0094】

図21は、この発明の第4実施形態に係るGPU及びビデオメモリを示すブロック図である。

## 【0095】

図21に示すように、第4実施形態は、第3実施形態と同様に、書き込みアドレス計算部50を有し、フレームバッファ31は、 $k-1$ 個のバッファ0～バッファ $k$ に分かれている。

## 【0096】

第4実施形態では、GPU8入力前に、オブジェクト71、72、73を深度別に振り分けない。ピクセル展開部20には、深度別振り分けをしていないオブジェクト71、72、73が、例えば、直接に入力される。オブジェクト71、

72、73はそれぞれ複数のポリゴン（図示せず）から構成されている。複数のポリゴンには、描画データその他、深度情報が含まれている。ピクセル展開部20は、ポリゴンをピクセルデータに展開する。ピクセルデータは、シェーディング処理部21に入力され、シェーディング処理が施され、シェーディング処理部21から出力される。シェーディングされたピクセルデータは、書き込みアドレス計算部50に入力される。書き込みアドレス計算部50は、シェーディングされたピクセルデータに含まれた深度情報を読み取り、ピクセルデータを深度に応じてソートし、バッファ0～バッファkのいずれかに書き込む。

#### 【0097】

書き込みが終了したら、例えば、バッファ0からピクセルデータを読み出し、読み出したピクセルデータを、例えば、バス40及びテクスチャメモリ30を介してシェーディング処理部21に入力する。次に、入力されたピクセルデータに、深度に応じたぼかしをかける。

#### 【0098】

次に、例えば、バッファ1からピクセルデータを読み出し、読み出したピクセルデータを、例えば、バス40及びテクスチャメモリ30を介してシェーディング処理部21に入力する。次に、入力されたピクセルデータに、深度に応じたぼかしをかける。

#### 【0099】

このような動作を、バッファkまで繰り返す。

#### 【0100】

深度別のぼかしが終了したら、ぼかしがかけられた各ピクセルデータを、シェーディング処理部21から、書き込みアドレス計算部50を介してフレームバッファ31に書き込み、フレームバッファ31で各ピクセルデータをマージする。

以上、第4実施形態によれば、遠近感を出すためのぼかしを、オブジェクト単位やポリゴン単位ではなく、ピクセル単位で実行する。このため、ピクセル単位でぼかしのかけ方を変えることができ、オブジェクト単位やポリゴン単位でぼかしのかけ方を変える手法に比較し、より細かにぼかしをかけることができ、グラフィックスのリアル感を、より向上させることができる。

## 【0101】

また、第4実施形態では、GPU8への入力前に、オブジェクト71、72、73の深度別の振り分けは行わなくて良い。このため、例えば、CPU7が行う作業を減らすことができ、CPU7の作業量を軽減できる。

## 【0102】

また、GPU8への入力前に、オブジェクト71、72、73を深度別に振り分けた場合には、振り分けたオブジェクト71、72、73を順次、一つ一つ描画しなくてはならない。

## 【0103】

対して、第4実施形態によれば、GPU8への入力前に、オブジェクト71、72、73の深度別の振り分けないので、オブジェクト71、72、73を一度に描画できる。このため、オブジェクト71、72、73を順次、一つ一つ描画する場合に比較して、処理速度を向上することが可能である。

## 【0104】

なお、第4実施形態において、ビデオメモリ13に、深度別に多数のバッファ0～バッファkを持たせる余裕が無い場合には、ある範囲のピクセルのみ描画してぼかしをかけ、描画範囲を変えながら、描画及びぼかしを繰り返すようにしても良い。

## 【0105】

## (第5実施形態)

本第5実施形態は、第1～第4実施形態に係るグラフィックスプロセッサを利用したグラフィックスカードの一例である。グラフィックスカードは、ビデオカード、ビデオボードとも呼ばれ、例えば、パーソナルコンピュータに組み込まれ、パーソナルコンピュータの機能拡張等に使用される。

## 【0106】

図22は、この発明の第5実施形態に係るグラフィックスカードの一例を示すブロック図である。

## 【0107】

図22に示すように、グラフィックスカード75は、回路ボード76上に配置



されたGPU 8、ビデオメモリ 13、D/Aコンバータ 14、インターフェースコネクタ 77及びディスプレイコネクタ 78を有する。

#### 【0108】

インターフェースコネクタ 77は、カード 75を、カード 75外の電子機器に接続する電氣的接点である。例えば、インターフェースコネクタ 77は、GPU 8を、図 2を参照して説明したバス・ブリッジ 6もしくはCPU 7に接続する。インターフェースコネクタ 77を介して入力された画面表示データ (IMG.D.D.)、例えば、ポリゴンは、配線 79を介してGPU 8に伝えられる。カード 75を制御する制御信号 (CNT) は、配線 79を介して、例えば、GPU 8とCPU 7との間でやりとりされる。

#### 【0109】

GPU 8は、配線 80を介してビデオメモリ 13に接続される。本例では、ビデオメモリ 13として4つのメモリ 81が用意されており、例えば、2つをテクスチャメモリ 30として使用し、残りの2つをフレームバッファ 31として使用している。GPU 8が出力したピクセルデータ (PIX.D.) は、配線 80を介してビデオメモリ 13に入力される。また、ビデオメモリ 13は、ピクセルデータ (PIX.D.)、スクリーンイメージ (SCR.IMG.)、並びにテクスチャデータ及びマップデータ (T/M.D.) を出力する。これらデータは、配線 80を介してGPU 8に入力される。

#### 【0110】

さらに、GPU 8は、配線 82を介してD/Aコンバータ 14に接続される。ビデオメモリ 13が出力したスクリーンイメージ (SCR.IMG.) は、GPU 8及び配線 82を介してD/Aコンバータ 14に入力される。

#### 【0111】

D/Aコンバータ 14は、配線 83を介してディスプレイコネクタ 78に接続される。ディスプレイコネクタ 78は、カード 75を、カード 75外のディスプレイに接続する電氣的接点である。D/Aコンバータ 14は、デジタル情報であるスクリーンイメージ (SCR.IMG.) を、アナログ情報であるビデオ信号 (VID.SGL.) に変換し、ビデオ信号 (VID.SGL.) を配線 83及びディスプレイコネクタ 7

8を介してディスプレイに出力する。

【0112】

図22に示すGPU8には、第1～第4実施形態で説明したGPU8が使用される。

【0113】

図23は図22に示すGPU8の一例を示すブロック図である。本一例に係るGPU8は、バス40及び書き込みアドレス計算部50をそれぞれ有する。

【0114】

図23に示すように、画像表示データ(IMG.D.D.)は、システム・I/F9を介してピクセル展開部20に入力される。ピクセル展開部20は、画像表示データ(IMG.D.D.)をピクセルに展開してピクセルデータ(PIX.D.)を出力し、シェーディング処理部21のPIX.D.入力84に入力する。シェーディング処理部21は、例えば、上記第1～第4実施形態で説明した処理を行う。シェーディング処理部21は、上記第1～第4実施形態で説明した処理を行った後、ピクセルデータ(PIX.D.)を、PIX.D.出力86、書き込みアドレス計算部50、システム・I/F9及びメモリ・I/F11を介してビデオメモリ13に出力する。ここで、例えば、第2、第3、第4実施形態で説明したように、ビデオメモリ13の、例えば、フレームバッファ31への書き込みアドレスを変更する場合には、書き込みアドレス計算部50で書き込みアドレスを変更したのち、ピクセルデータ(PIX.D.)を出力する。

【0115】

ビデオメモリ13から出力されたピクセルデータ(PIX.D.)は、メモリ・I/F11、システム・I/F9及びバス40を介して、シェーディング処理部21のPIX.D.入力84に入力される。こののち、シェーディング処理部21は、例えば、上記第1～第4実施形態で説明した処理を行う。この処理に際し、例えば、第1～第4実施形態で説明したように、テーブルを使用する、あるいは描画途中のピクセルデータを使用する場合には、シェーディング処理部21は、メモリ・I/F11及びシステム・I/F9、T/M.D.入力85を介してテクスチャデータ及びマップデータ(T/M.D.)、並びに描画途中のピクセルデータを受け取る。シ

シェーディング処理部 21 は、上記第 1 ～ 第 4 実施形態で説明した処理を行った後、ピクセルデータ (PIX.D.) を、PIX.D. 出力 86、書き込みアドレス計算部 50、システム・I/F 9 及びメモリ・I/F 11 を介してビデオメモリ 13 に出力する。

#### 【0116】

ビデオメモリ 13 から出力されたスクリーンイメージ (SCR.IMG.) は、メモリ・I/F 11、システム・I/F 9 及び画像出力部 12 を介して、D/A コンバータ 14 に出力される。

#### 【0117】

このように、この発明の第 1 ～ 第 4 実施形態に係るグラフィックスプロセッサ及びビデオメモリを利用して、グラフィックスカード 75 を構築することも可能である。

#### 【0118】

##### (第 6 実施形態)

図 24 A 及び図 24 B はそれぞれ、ピクセルデータをテクスチャメモリ 30 に入力する入力方法を示す図である。

#### 【0119】

例えば、第 1 実施形態で説明した通り、フレームバッファ 31 に書き込んだピクセルデータ (PIX.D.) をテクスチャメモリ 30 に入力する際、パス 40 を介してシェーディング処理部 21 に入力し、シェーディング処理部 21 からテクスチャメモリ 30 に入力する方法 (図 24 A) と、パス 40 を介してフレームバッファ 31 からテクスチャメモリ 30 に入力する方法 (図 24 B) との二通りがある。

#### 【0120】

これらの使い方の一例は、上述した通り、描画が進んでいないピクセルデータは、ピクセル展開部 20 の出力に戻し、ピクセル展開部 20 の出力を介してシェーディング処理部 21 に直接に戻し、描画が進んだピクセルデータは、シェーディング処理部 21 に直接に戻さず、一旦、テクスチャメモリ 30 に入力し、テクスチャメモリ 30 の出力を介してシェーディング処理部 21 に戻す。

## 【0121】

ピクセルデータを、一旦、テクスチャメモリ30に入力する場合には、次の2通りの方式が考えられる。

## 【0122】

例えば、ビデオメモリ13が外付けであり、グラフィックスカード75に搭載される場合には、例えば、図25Aに示すように、ビデオメモリ13のフレームバッファ31とテクスチャメモリ30とを接続するパス87を新たに設定し、ピクセルデータを、新たに設定したパス87を介して、フレームバッファ31からテクスチャメモリ30に入力する。この場合には、グラフィックスカード75のシステムは変更される。

## 【0123】

また、例えば、グラフィックスカード75のシステムを変更したくない場合には、図25Bに示すように、ピクセルデータを、フレームバッファ31からGPU8に入力した後、GPU8からテクスチャメモリ30に入力する。

## 【0124】

図25Bに示すように、ピクセルデータを、GPU8を介してテクスチャメモリ30に入力する場合には、ピクセルデータが、GPU8のシェーディング処理部21に到達する前にGPU8内で折り返し、テクスチャメモリ30に入力する。ピクセルデータをGPU8の何処で折り返すかは、任意である。本例では、一例として、メモリ・I/F11で折り返す例を示している。メモリ・I/F11は、ピクセルデータを受ける。ピクセルデータがシェーディング処理部21に入力するべきものである場合には、メモリ・I/F11は、ピクセルデータをシステム・I/F9を介してシェーディング処理部21に入力する。反対に、ピクセルデータがテクスチャメモリ30に入力するべきものである場合には、メモリ・I/F11は、ピクセルデータを折り返し、テクスチャメモリ30に入力する。

## 【0125】

第6実施形態のうち、図25Aに示す例では、ピクセルデータを、フレームバッファ31からテクスチャメモリ30に直接入力するので、処理の高速性に優れている。反面、ビデオメモリ13が外付けであり、GPU8と別のチップであっ

た場合、フレームバッファ31とテクスチャメモリ30とを接続するバス87を設定する必要がある。このため、例えば、グラフィックスカード75のシステムを変更する必要がある。

## 【0126】

対して、図25Bに示す例ではバス87を設定する必要がなく、グラフィックスカード75のシステムを変更しなくて済む、という利点がある。

## 【0127】

このように、ピクセルデータを、テクスチャメモリ30の出力を介してシェーディング処理部21に戻す場合には、ピクセルデータを、フレームバッファ31からテクスチャメモリ30に直接入力するか、フレームバッファ31からGPU8を介してテクスチャメモリ30に入力するかの二通りの方式がある。これら方式のどちらを使うかは、必要に応じて決定されれば良い。

## 【0128】

以上、この発明を第1～第6実施形態により説明したが、この発明は、これら実施形態それぞれに限定されるものではなく、その実施にあたっては、発明の要旨を逸脱しない範囲で種々に変形することが可能である。

## 【0129】

例えば、上記実施形態に係るGPU8では、図26Aに示すように、ビデオメモリ13を、GPU8とは別のLSIチップとして有していたが、図26Bに示すように、ビデオメモリ13、即ちテクスチャメモリ30及びフレームバッファ31を、GPU8のLSIチップ内に集積しても良い。

## 【0130】

さらに、ビデオメモリ13として専用のメモリを設けなくても、例えば、図26Cに示すように、ビデオメモリ13の機能をCPUメモリ15にシェアすることも可能である。また、図26Dに示すように、ビデオメモリ13の機能を電子機器のメインメモリ17もしくはハードディスク4にシェアすることも可能である。

## 【0131】

また、上記実施形態はそれぞれ、単独で実施することが可能であるが、適宜組

み合わせて実施することも、もちろん可能である。

【0132】

また、上記各実施形態には、種々の段階の発明が含まれており、各実施形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【0133】

【発明の効果】

この発明によれば、演算能力及び処理速度を向上させることが可能なグラフィックスプロセッサ、グラフィックスカード及びグラフィックス処理システムを提供できる。

【図面の簡単な説明】

【図1】 図1A～図1Cはこの発明の第1実施形態の参考例に係るグラフィックスプロセッサの動作を示す図

【図2】 図2はこの発明が適用されるグラフィックス処理システムの一例を示すブロック図

【図3】 図3はグラフィックスプロセッサの一例を示すブロック図

【図4】 図4はこの発明の第1実施形態に係るグラフィックスプロセッサ及びビデオメモリを示すブロック図

【図5】 図5A～図5Eはこの発明の第1実施形態に係るグラフィックスプロセッサ及びビデオメモリの動作の一例を示す図

【図6】 図6はこの発明の第2実施形態に係るグラフィックスプロセッサ及びビデオメモリを示すブロック図

【図7】 図7はピクセル展開部の出力順序とフレームバッファへの書き込み順序との関係を示す図

【図8】 図8はピクセル展開部の出力順序とフレームバッファへの書き込み順序との関係を示す図

【図9】 図9はこの発明の第3実施形態の参考例に係るグラフィックスプロセッサの動作を示す図

【図10】 図10はこの発明の第3実施形態に係るグラフィックスプロセ

ッサ及びビデオメモリを示すブロック図

【図 1 1】 図 1 1 A はバンプマップ、視線ベクトル及び反射ベクトルとキューブ環境マップとの関係を示す図、図 1 1 B はバンプマップとキューブ環境マップとを用いたシェーディング処理の手順の一例を示す図

【図 1 2】 図 1 2 はこの発明の第 3 実施形態に係るグラフィックスプロセッサ及びビデオメモリの具体的一例を示すブロック図

【図 1 3】 図 1 3 はキューブ環境マップの各面とバッファとの関係を示す図

【図 1 4】 図 1 4 A ～ 図 1 4 D はこの発明の第 3 実施形態に係るグラフィックスプロセッサ及びビデオメモリの動作の一例を示す図

【図 1 5】 図 1 5 A ～ 図 1 5 D はこの発明の第 3 実施形態に係るグラフィックスプロセッサ及びビデオメモリの動作の一例を示す図

【図 1 6】 図 1 6 A はキューブ環境マップを示す図、図 1 6 B は球体環境マップを示す図

【図 1 7】 図 1 7 A は深度の異なるオブジェクトを示す図、図 1 7 B は深度の異なるオブジェクトを視点から見た図

【図 1 8】 図 1 8 A ～ 図 1 8 C は深度別に振り分けたオブジェクトを示す図

【図 1 9】 図 1 9 A ～ 図 1 9 G はこの発明の第 4 実施形態の参考例に係るグラフィックスプロセッサの描画手順を示す図

【図 2 0】 図 2 0 A ～ 図 2 0 F はこの発明の第 4 実施形態の別の参考例に係るグラフィックスプロセッサの描画手順を示す図

【図 2 1】 図 2 1 はこの発明の第 4 実施形態に係るグラフィックスプロセッサ及びビデオメモリを示すブロック図

【図 2 2】 図 2 2 はこの発明の第 5 実施形態に係るグラフィックスカードの一例を示すブロック図

【図 2 3】 図 2 3 は図 2 2 に示す GPU 8 の一例を示すブロック図

【図 2 4】 図 2 4 A 及び図 2 4 B はピクセルデータをテクスチャメモリに

【図 25】 図 25 A はこの発明の第 6 実施形態に係るグラフィックスプロセッサ及びビデオメモリの一例を示す図、図 25 B はこの発明の第 6 実施形態に係るグラフィックスプロセッサ及びビデオメモリの他を示すブロック図

【図 26】 図 26 A 乃至図 26 D は第 1 ～ 第 6 実施形態の変形例を示す図

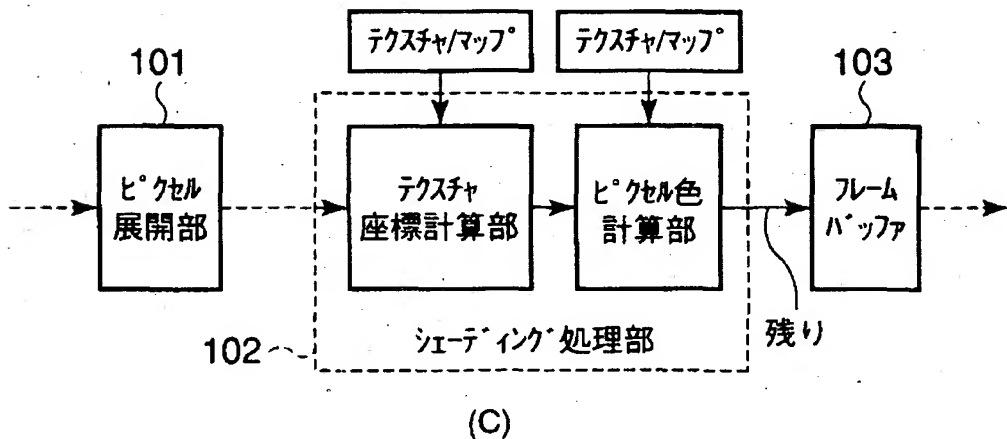
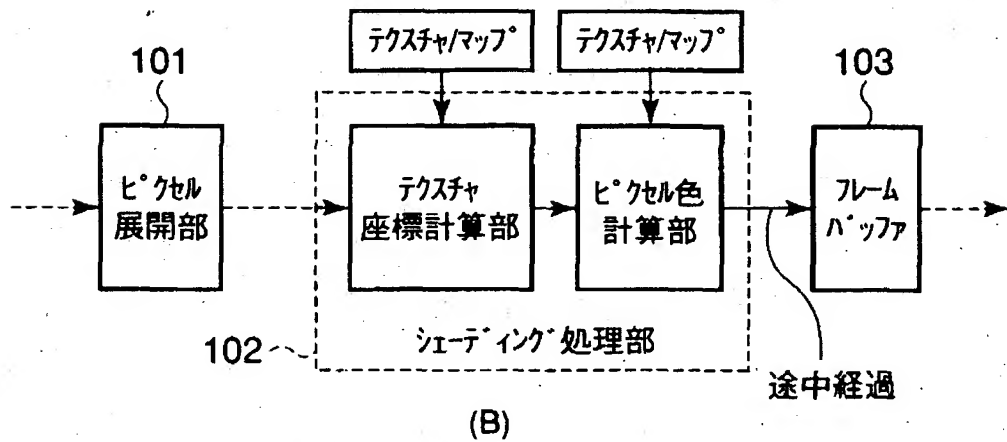
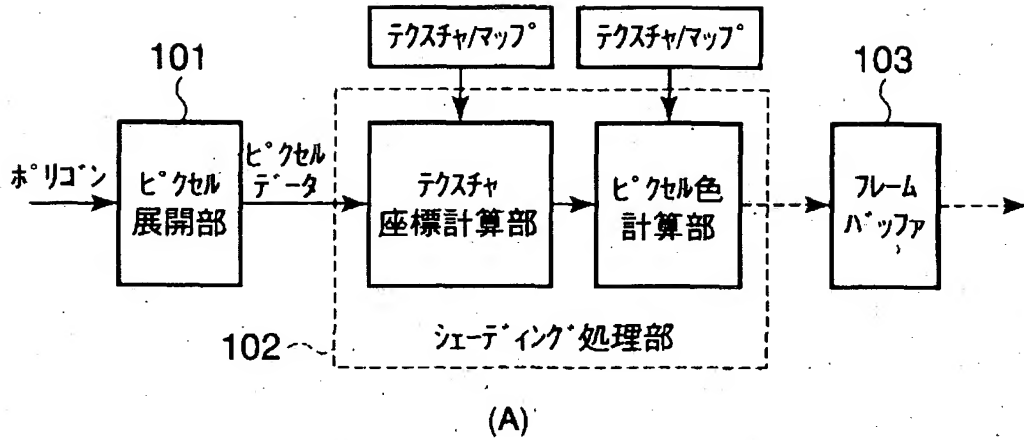
【符号の説明】

1…インターフェースバス、2…コントローラ、3…DVDドライブ、4…ハードディスク、5…通信装置、6…バス・ブリッジ、7…CPU、8…グラフィックスプロセッサ（GPU）、9…システム・インターフェース、10…グラフィックス描画部、11…メモリ・インターフェース、12…画像出力部、13…ビデオメモリ、14…D/Aコンバータ、15…CPUメモリ、16…ジオメトリ処理部、17…メインメモリ、20…ピクセル展開部、21…シェーディング処理部、30…テクスチャメモリ 30…フレームバッファ、40、87…バス、50…アドレス計算部、60…バンプマップ、61…視線ベクトル、62…反射ベクトル、63…キューブ環境マップ、64…斜面、65…頂点、66…ブロック、71、72、73…オブジェクト、75…グラフィックスカード、76…回路ボード、77…インターフェースコネクタ、78…ディスプレイコネクタ、79、80、82、83…配線、81…メモリ、84…ピクセルデータ入力、85…テクスチャデータ及びマップデータ入力、86…ピクセルデータ出力

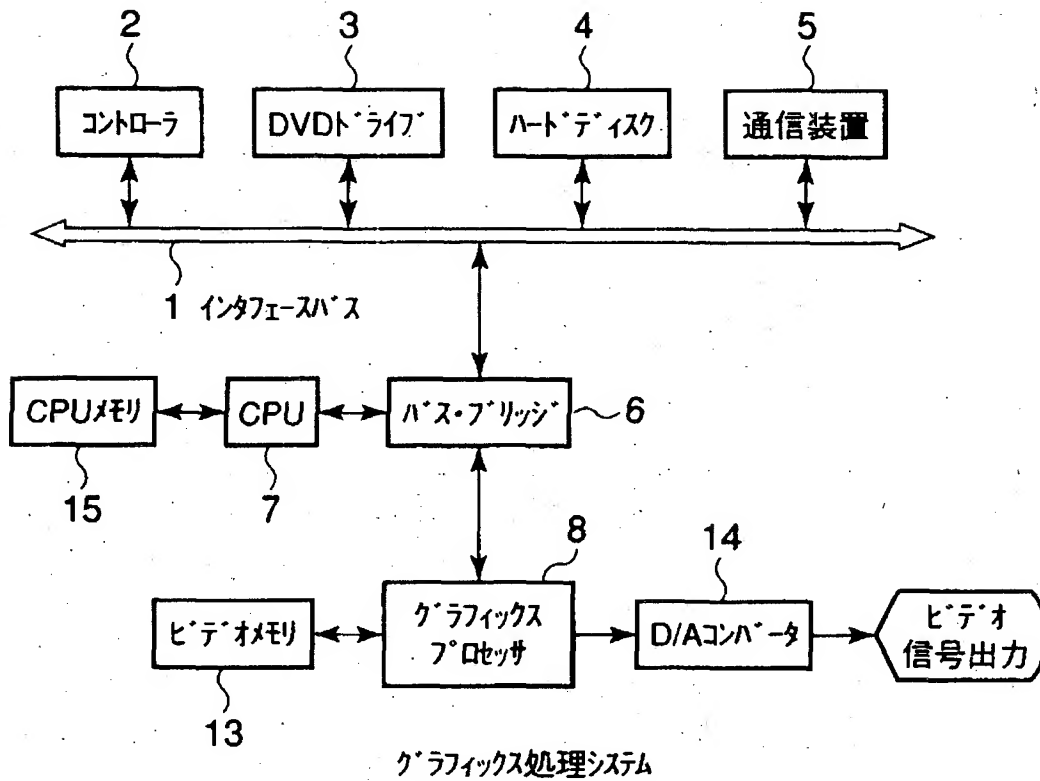


【書類名】 図面

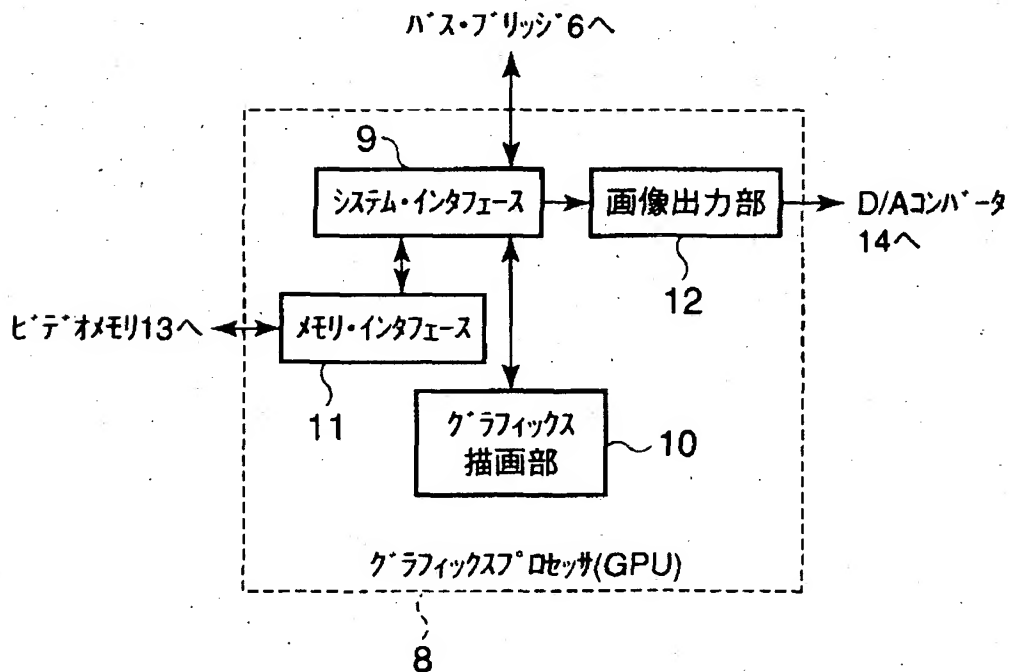
【図 1】



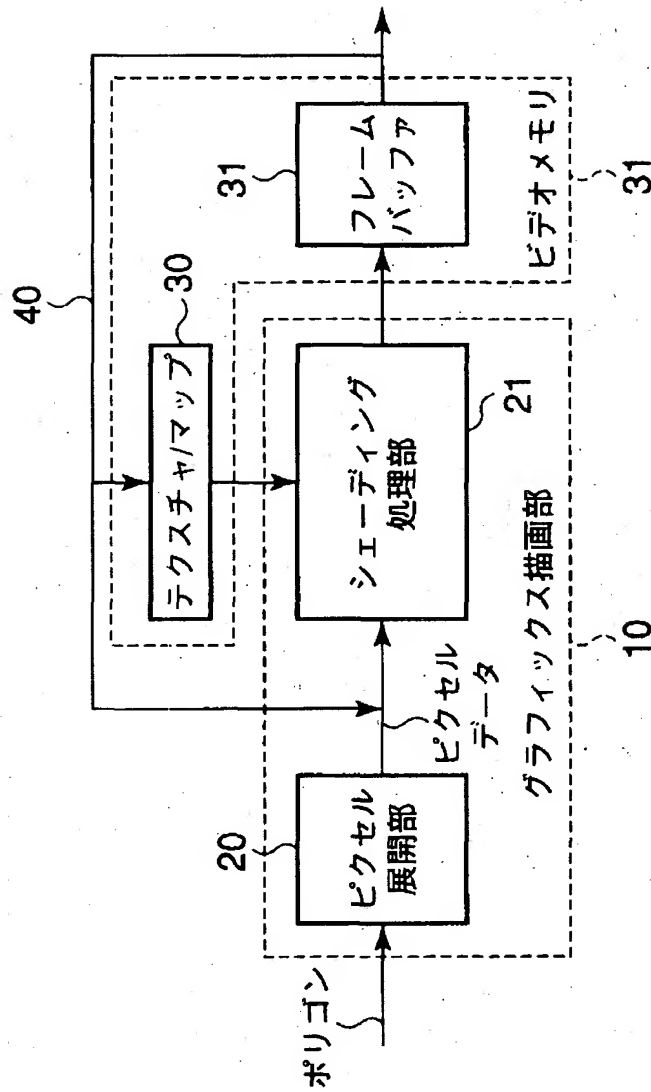
【図 2】



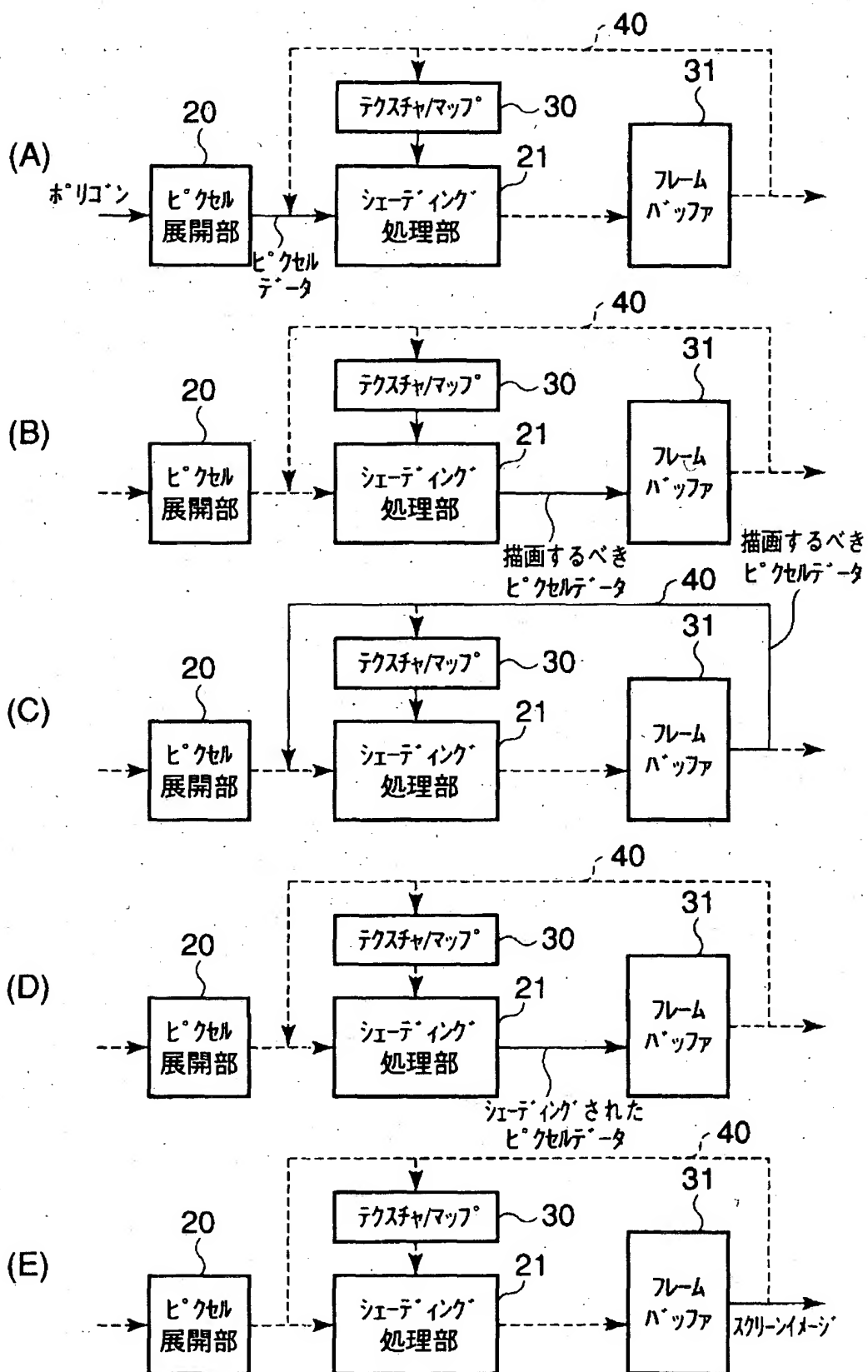
【図 3】



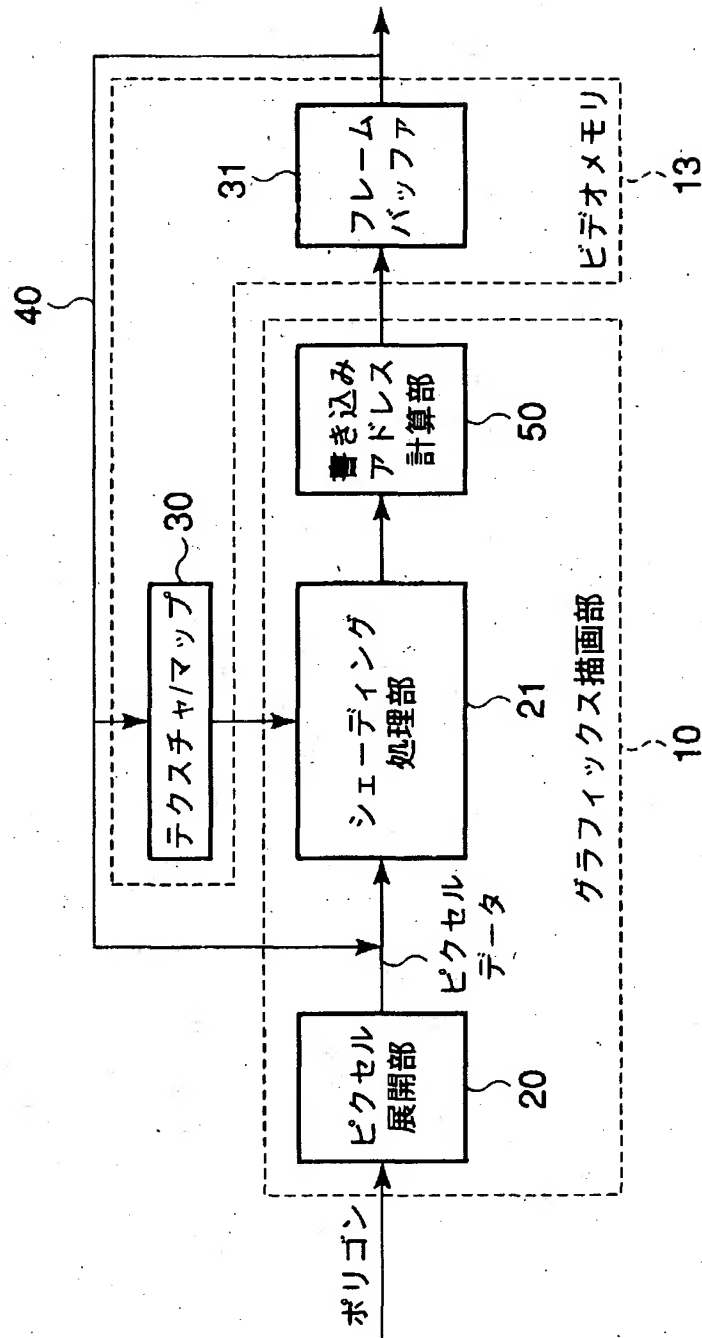
【図4】



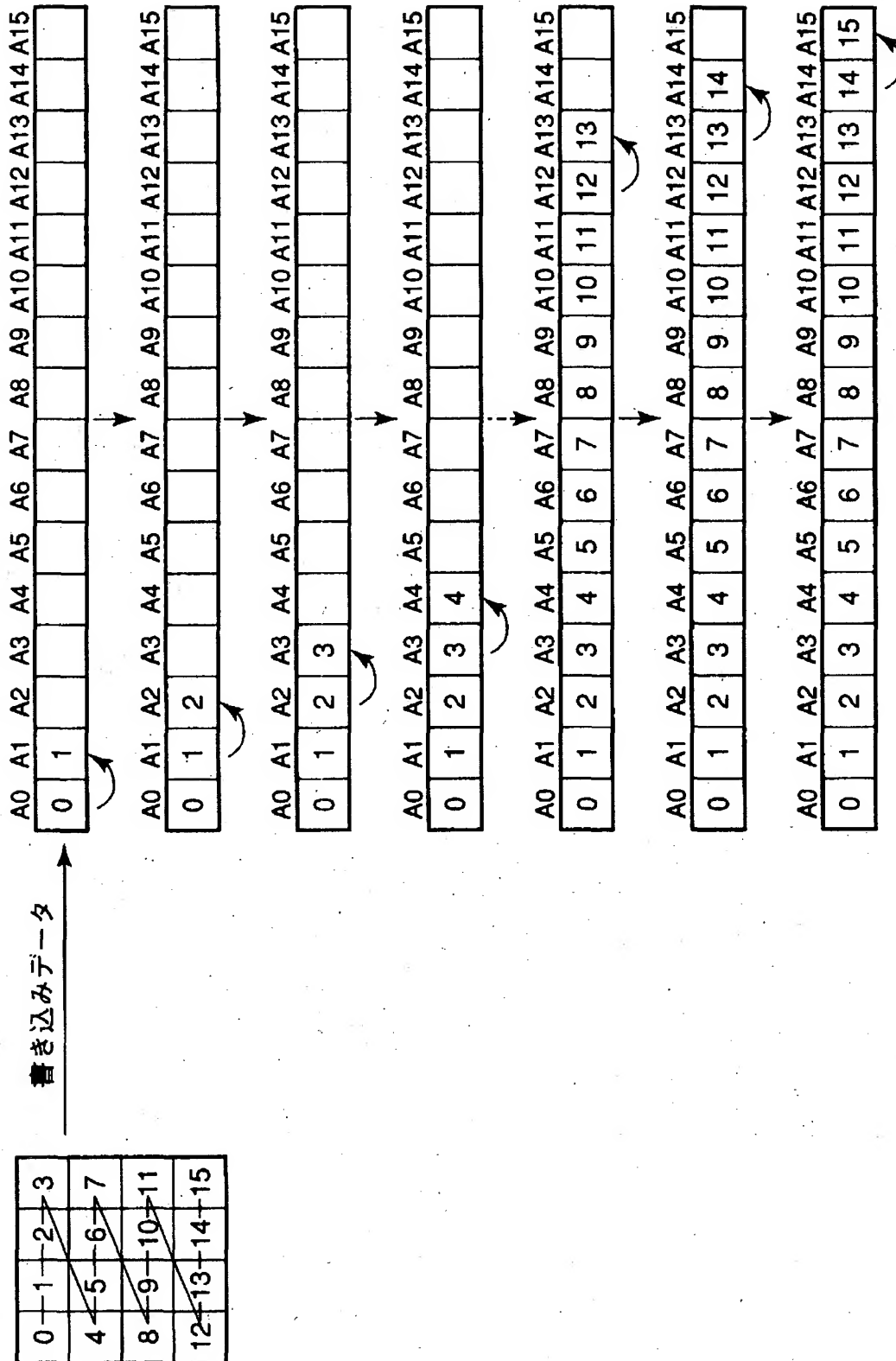
【図 5】



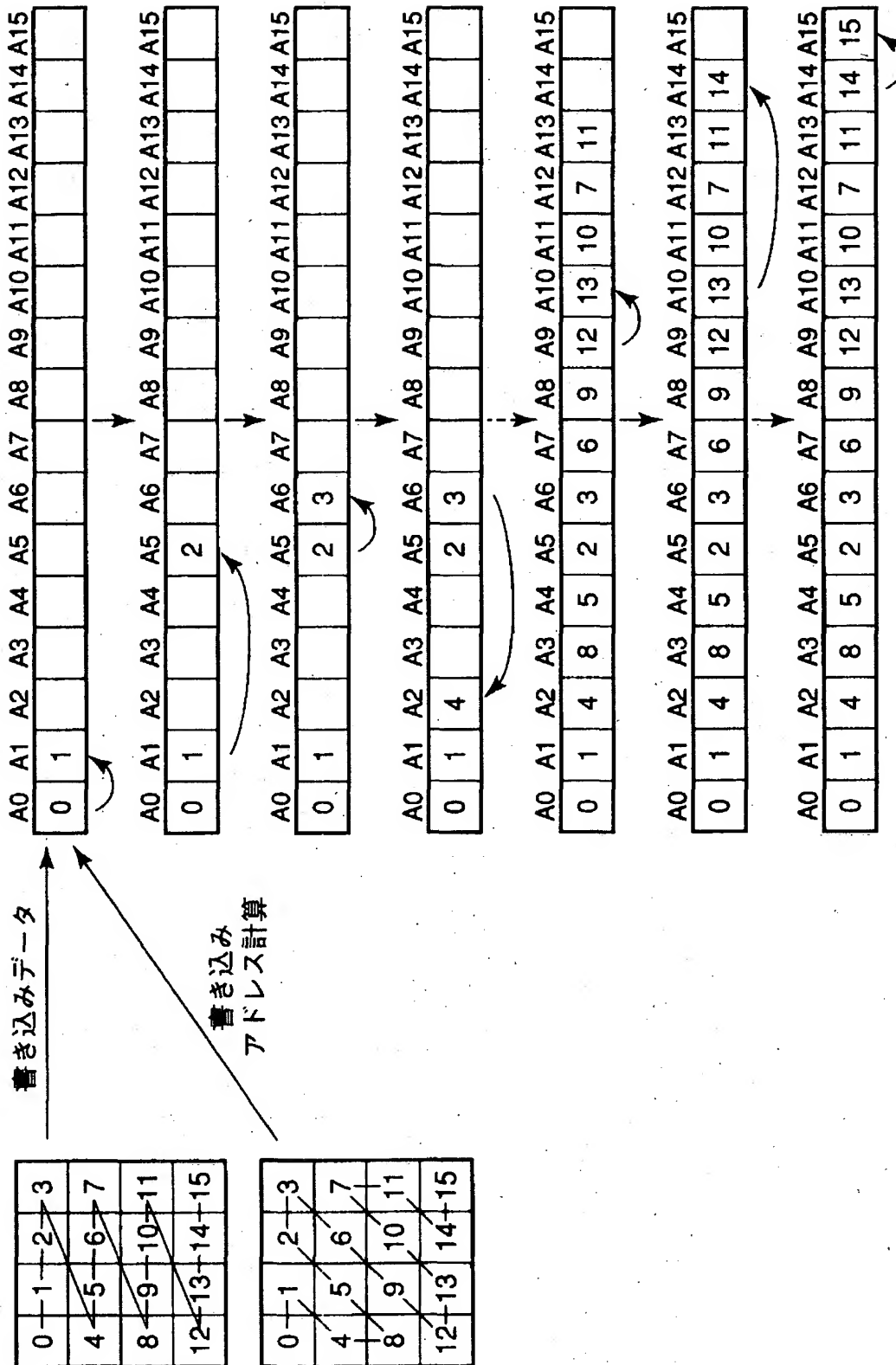
【図6】



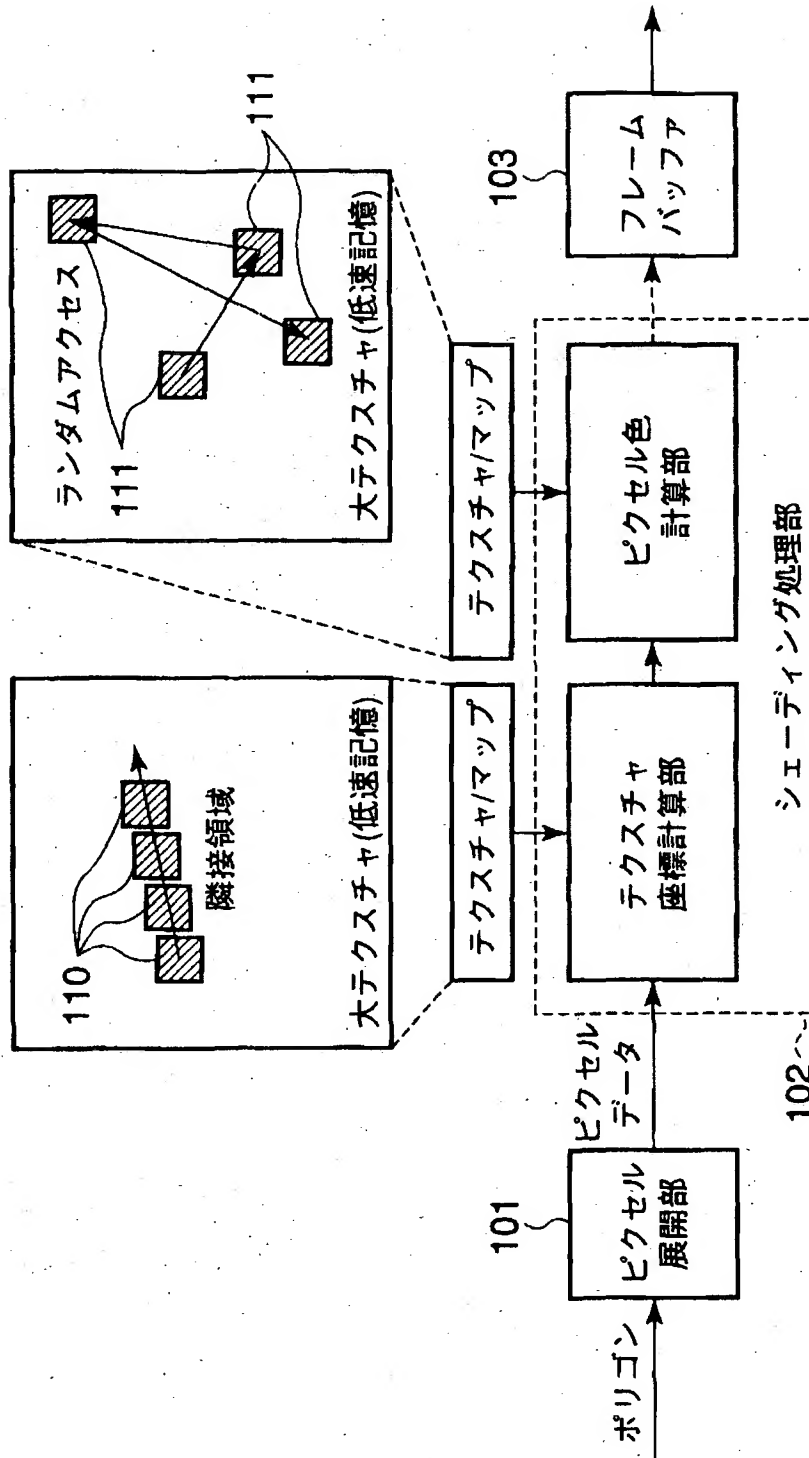
【図 7】



【図 8】

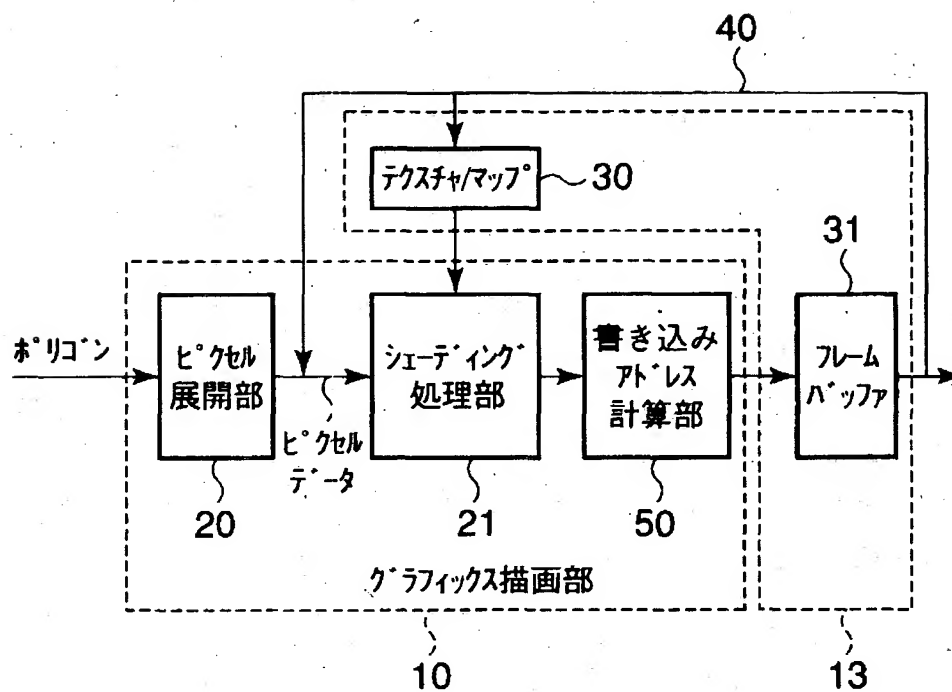


【図9】

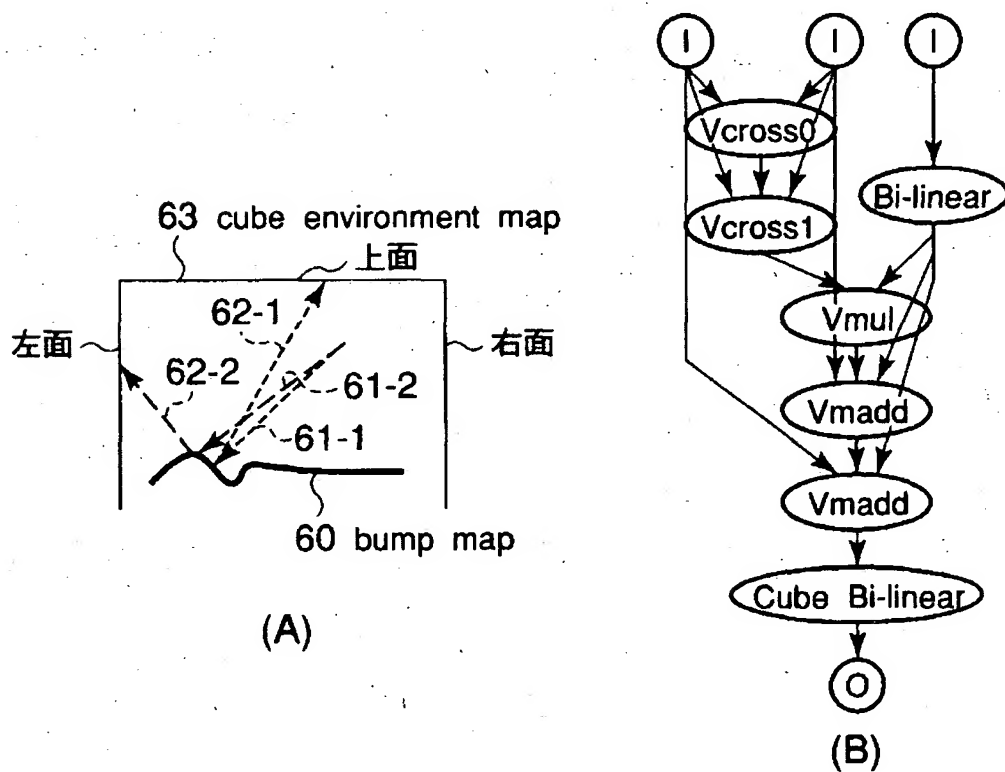




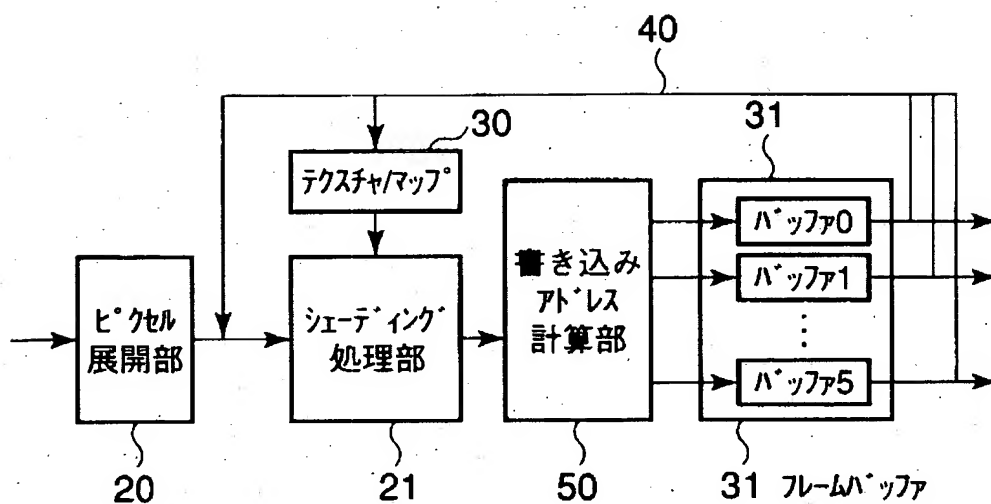
【図 10】



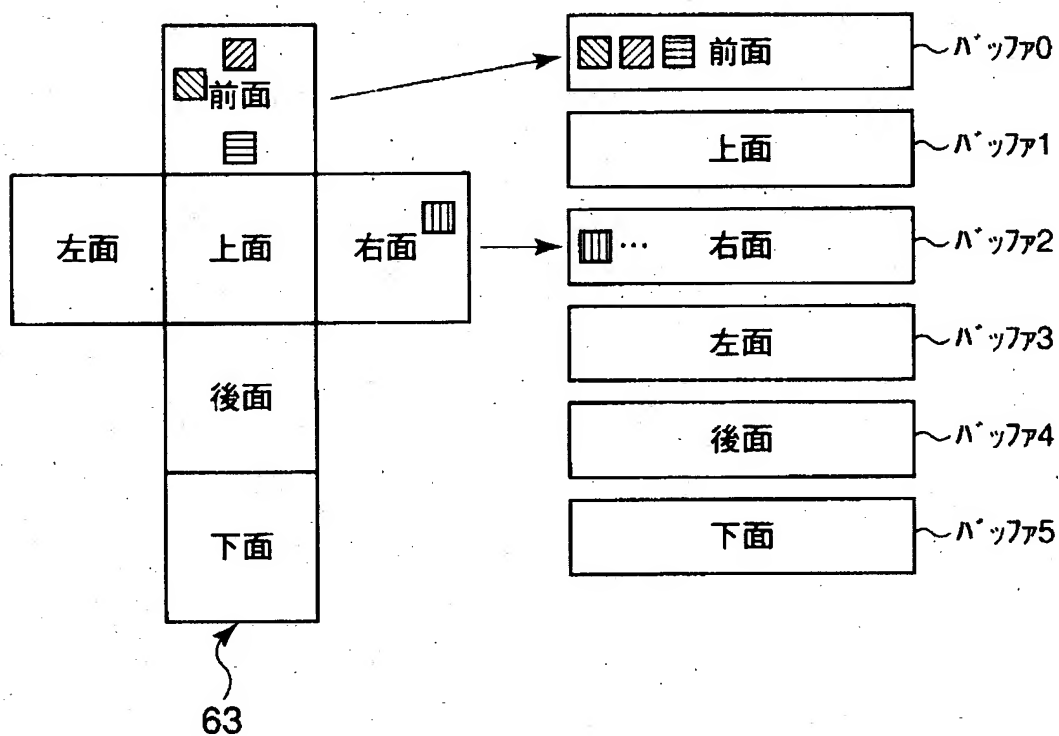
【図 1 1】



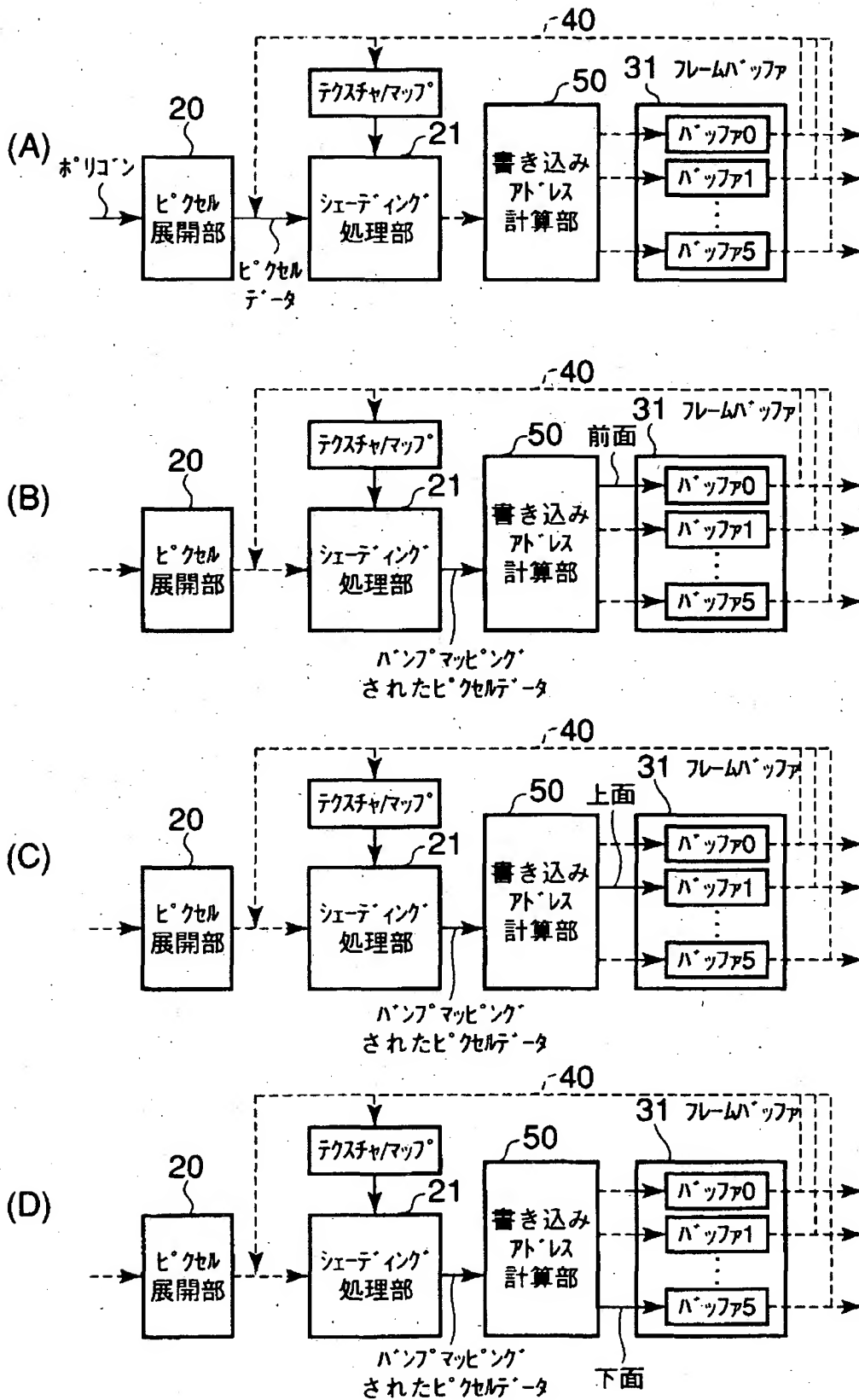
【図12】



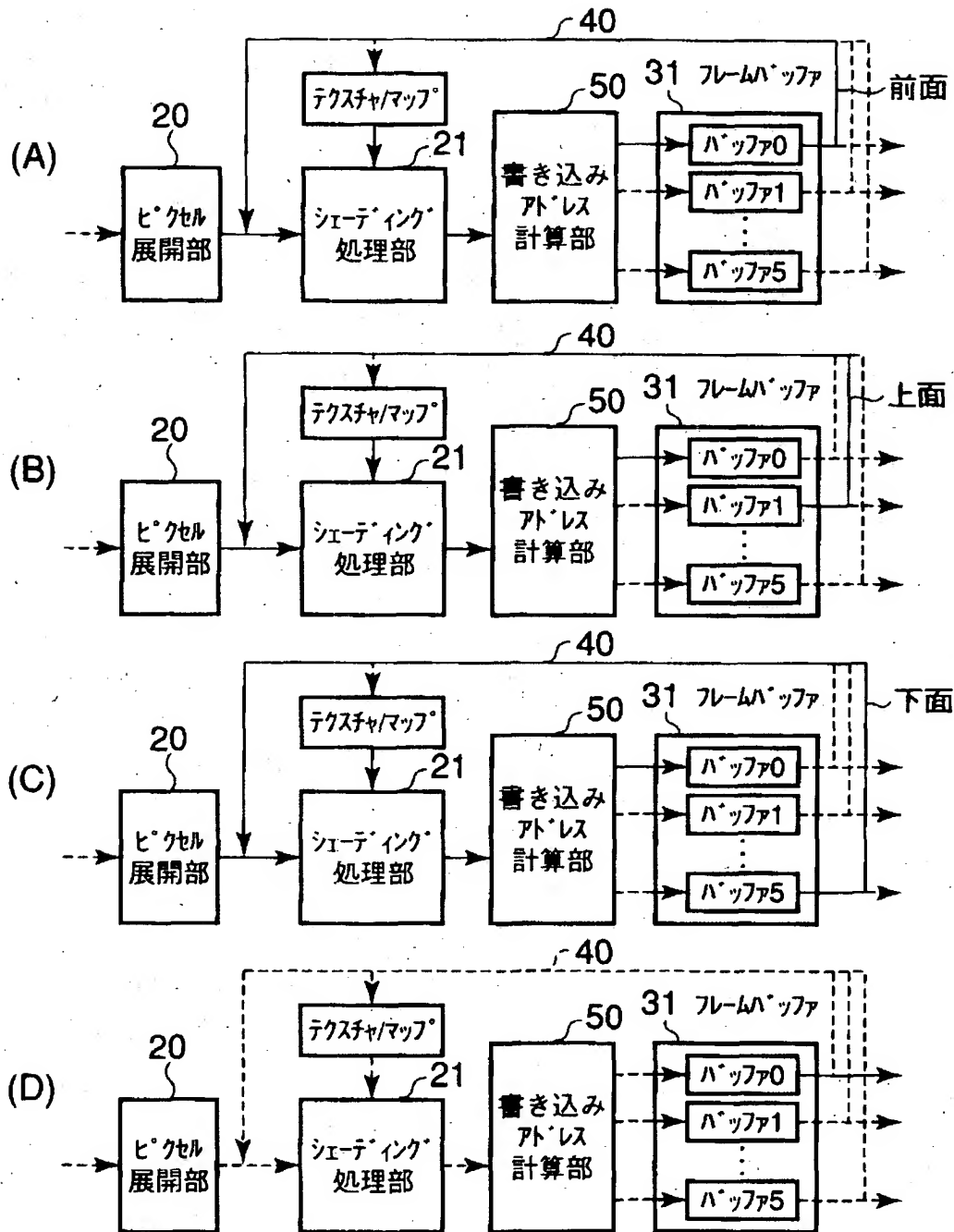
【図13】



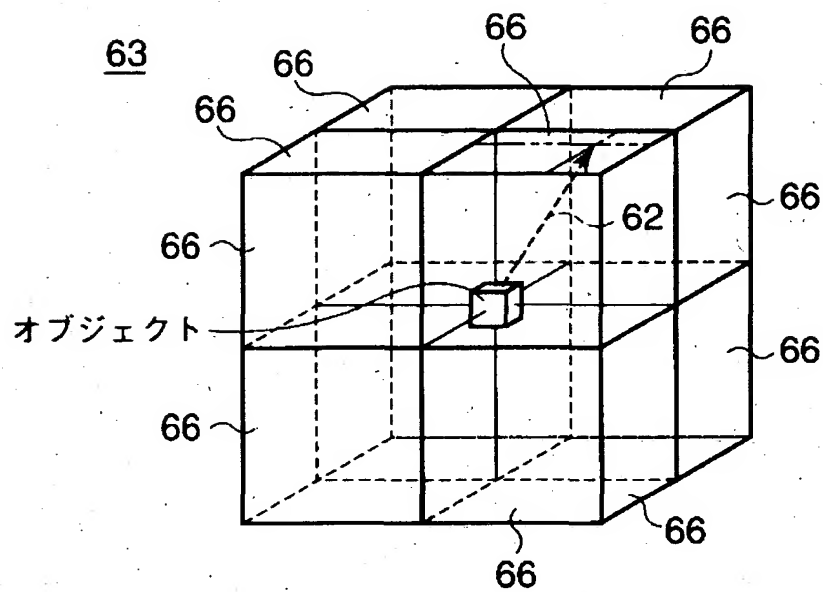
【図 14】



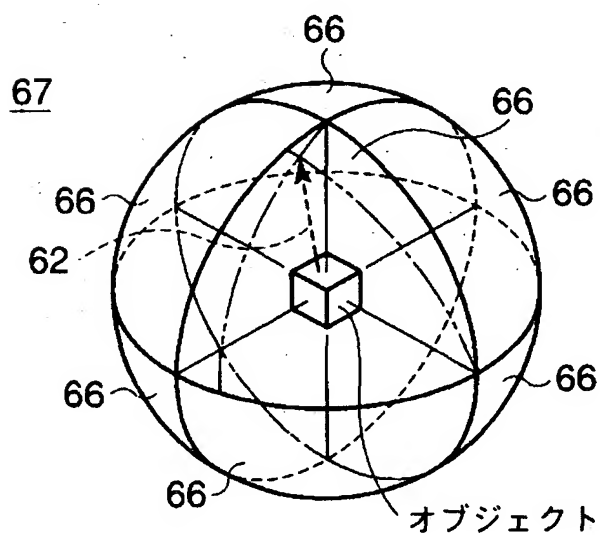
【図15】



【図 16】

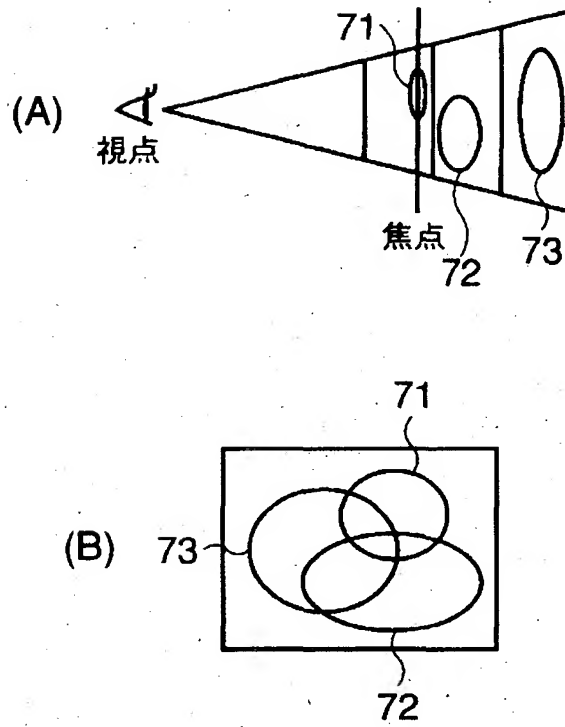


(A)

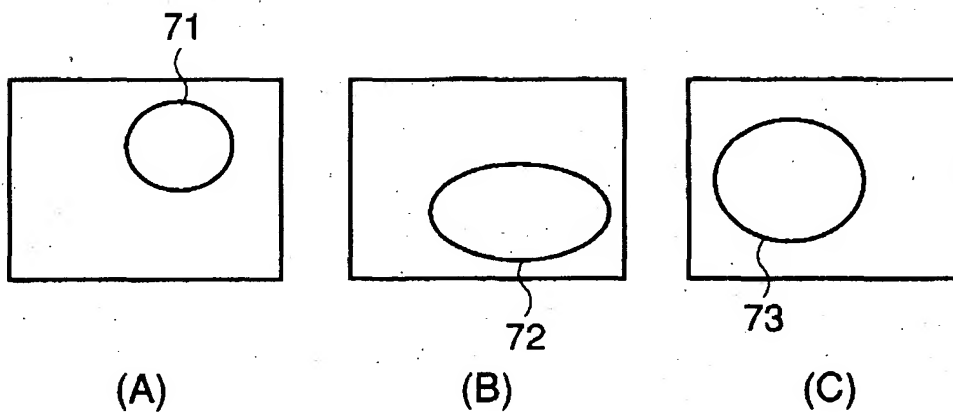


(B)

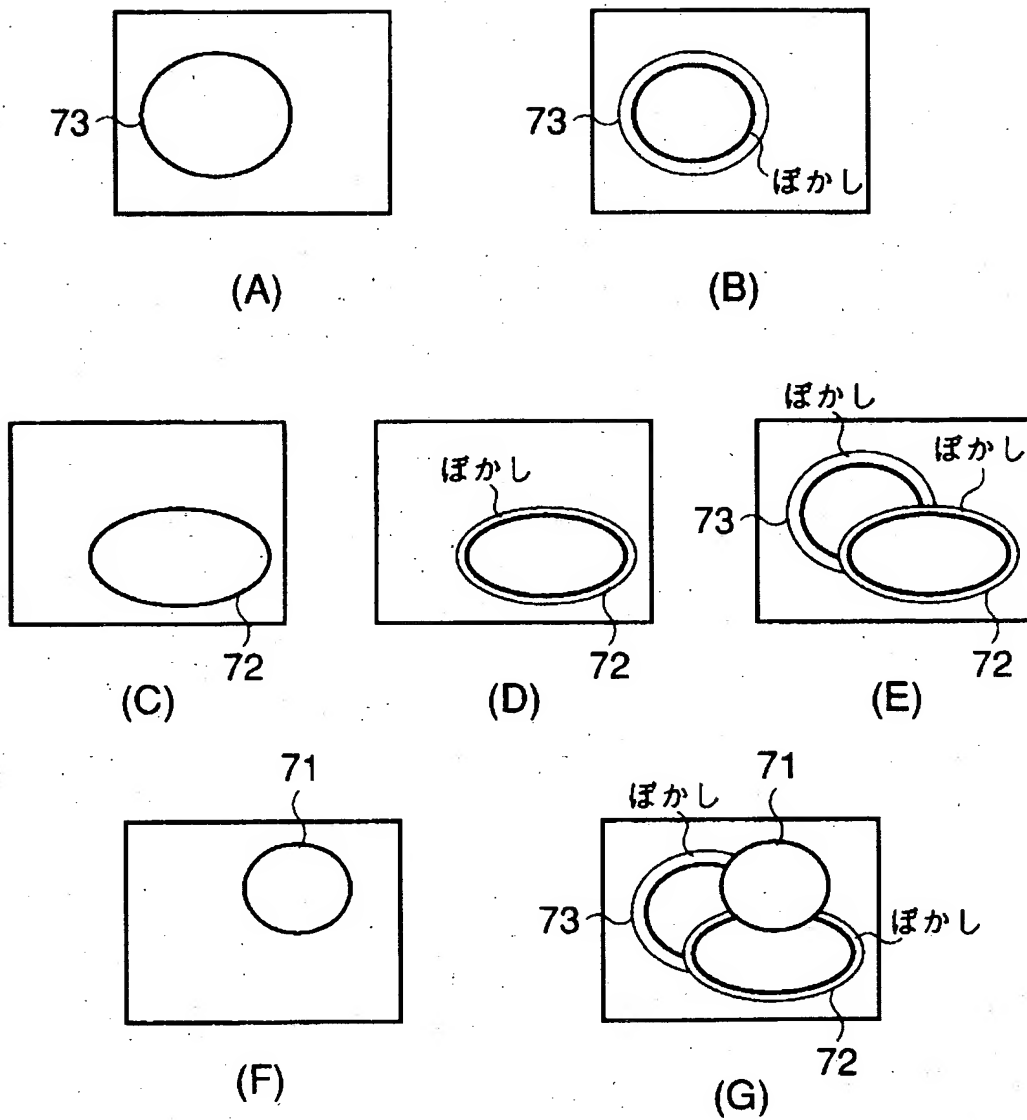
【図 17】



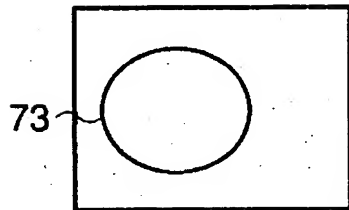
【図 18】



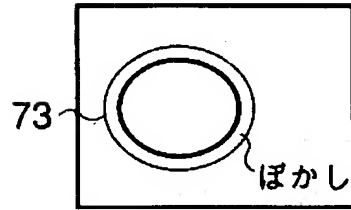
【図 19】



【図 20】



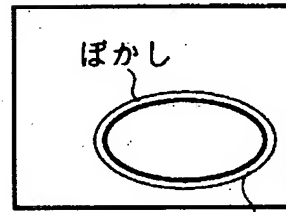
(A)



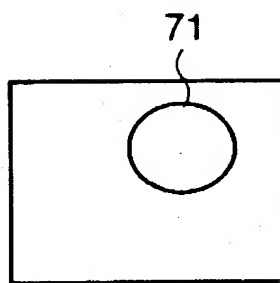
(D)



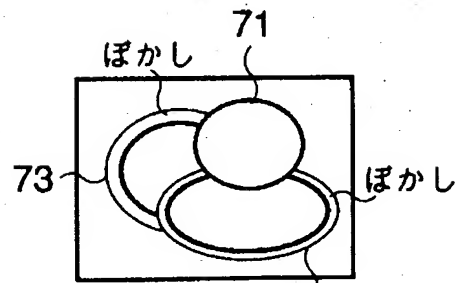
(B)



(E)



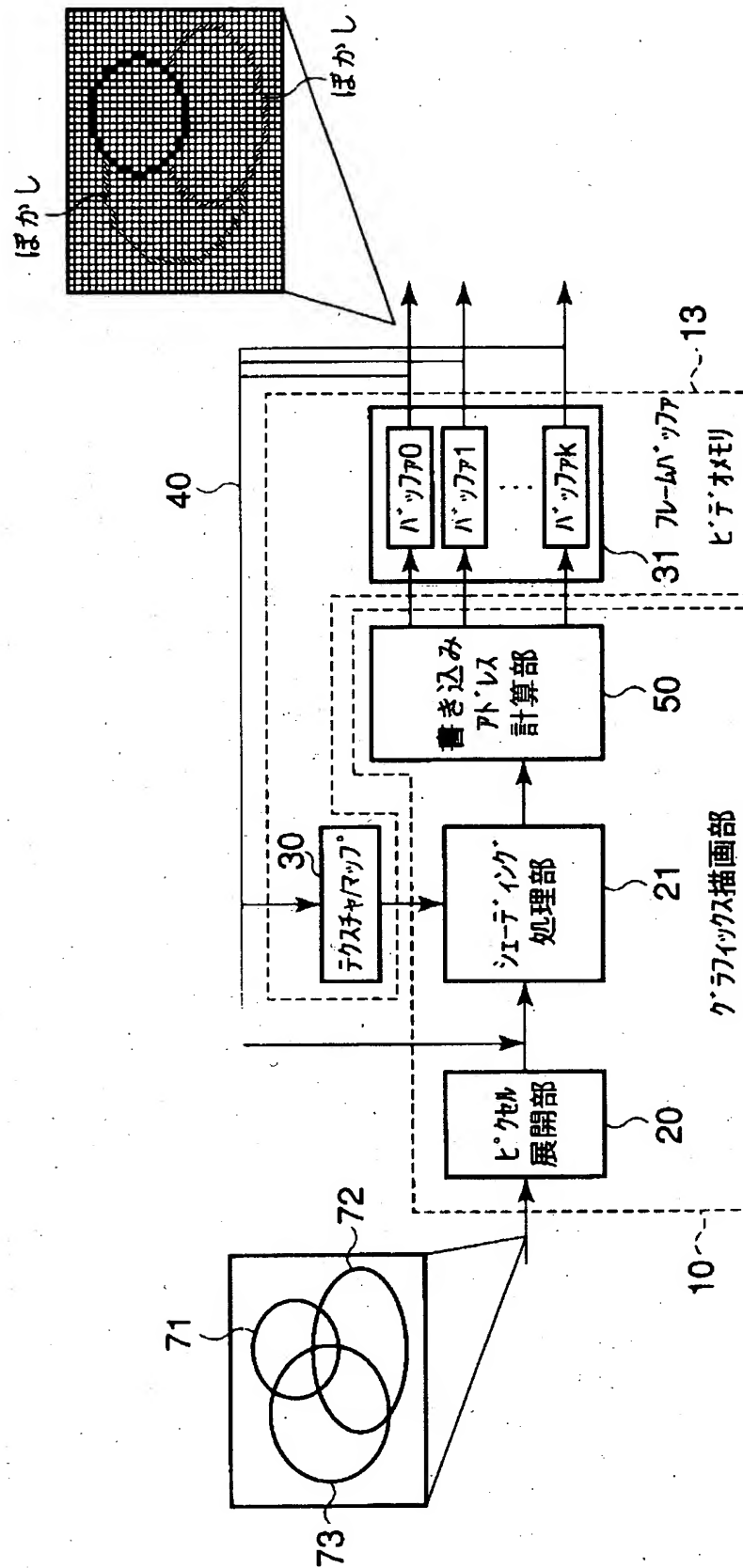
(C)



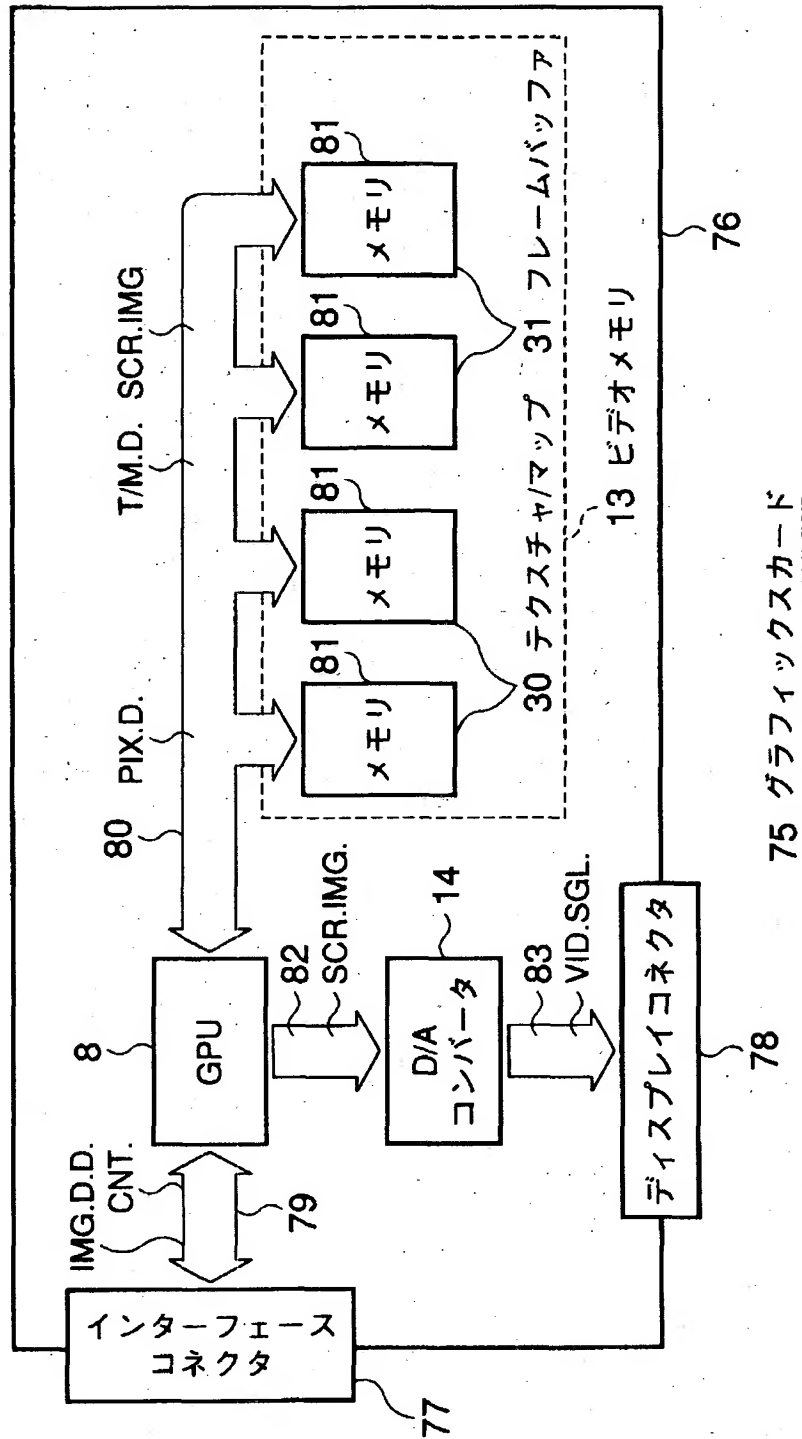
(F)



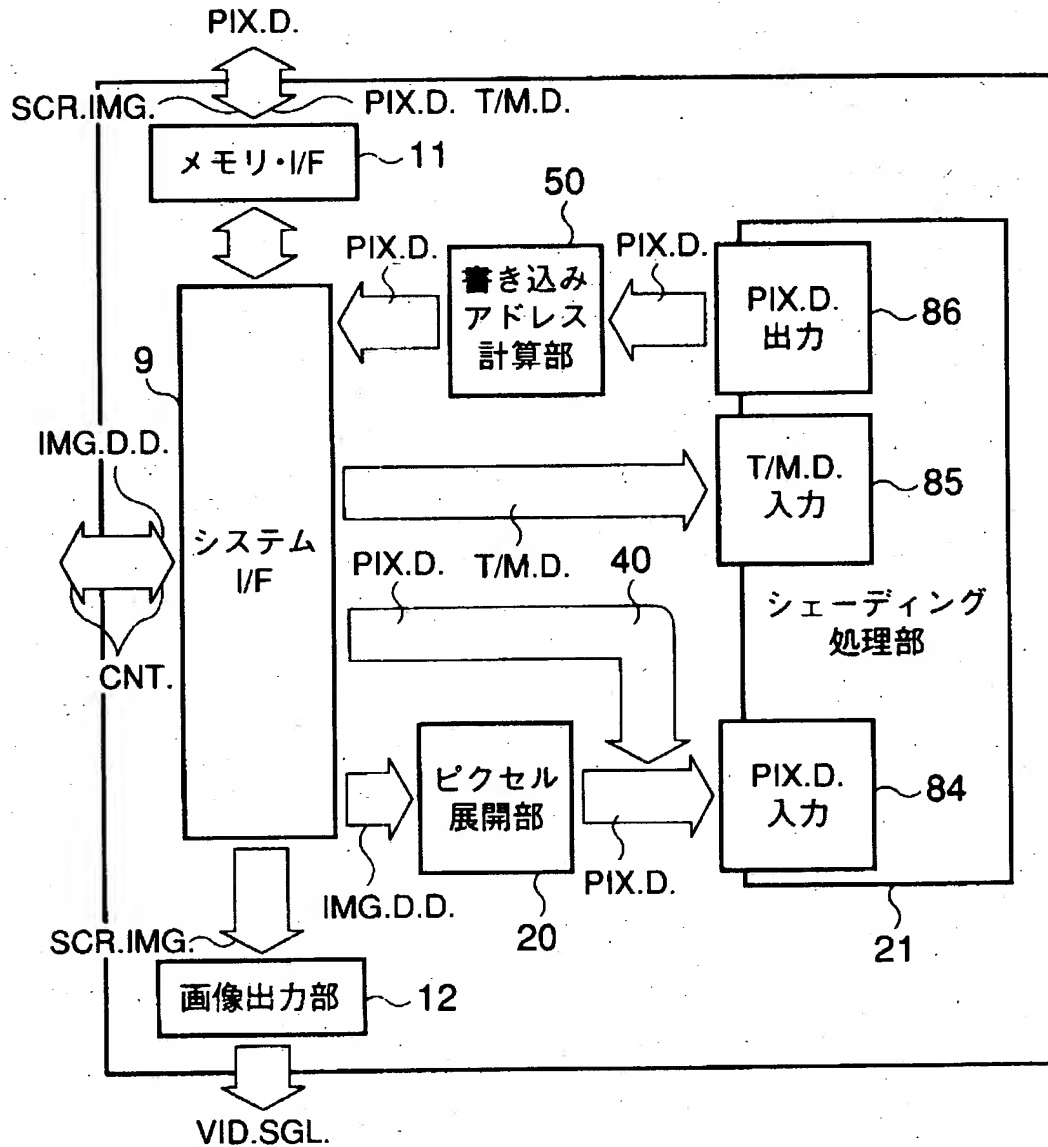
【図21】



【図22】

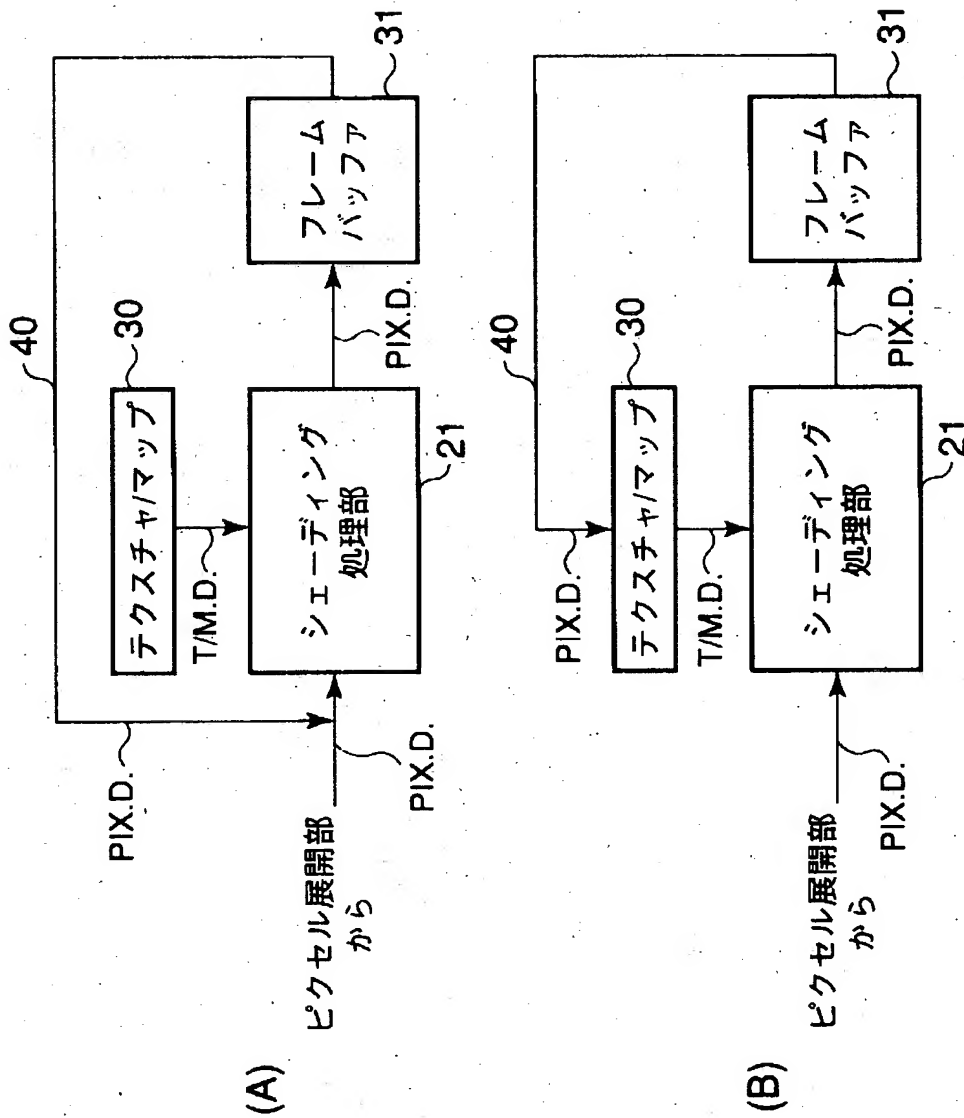


【図 23】

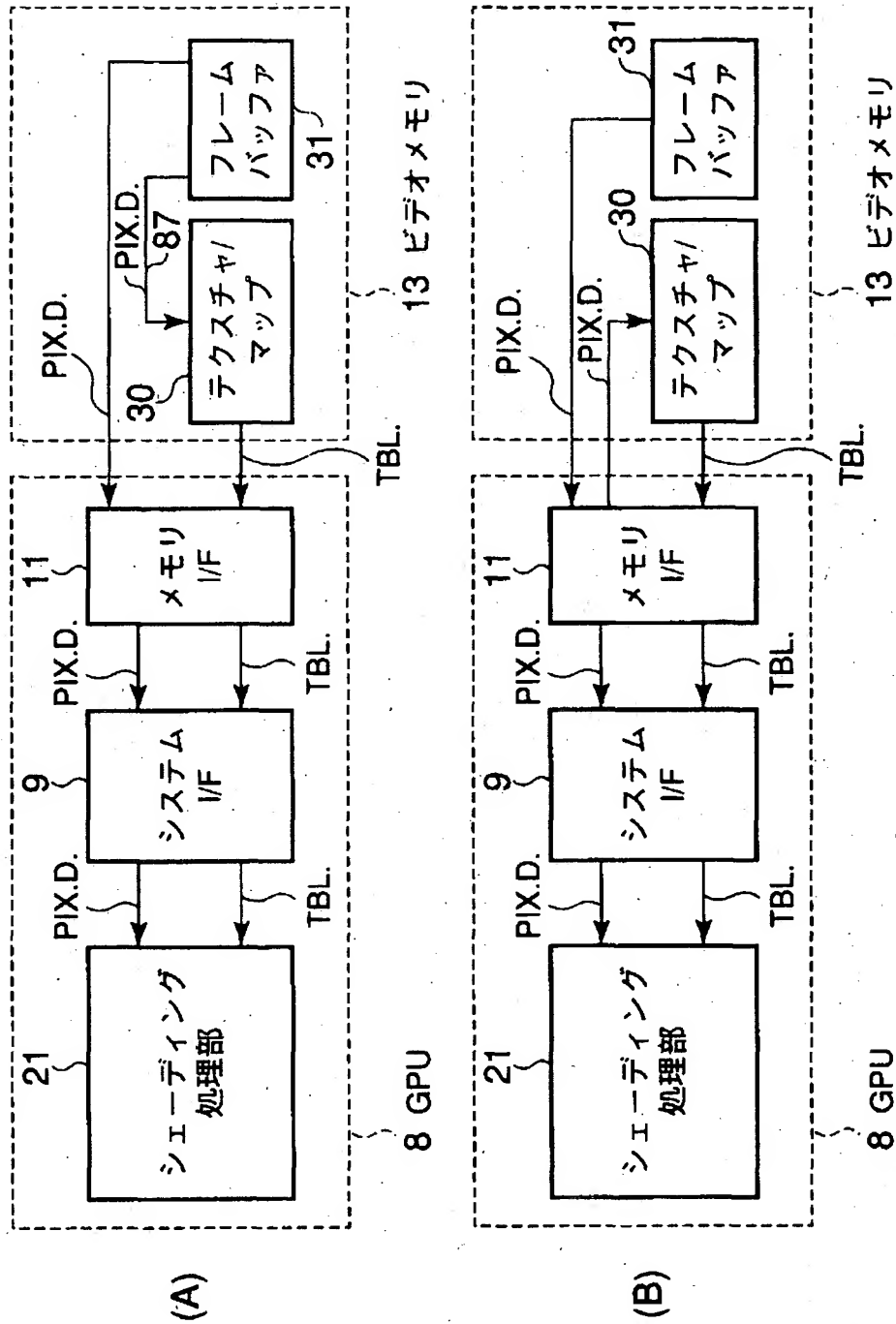


8 グラフィックスプロセッサ(GPU)

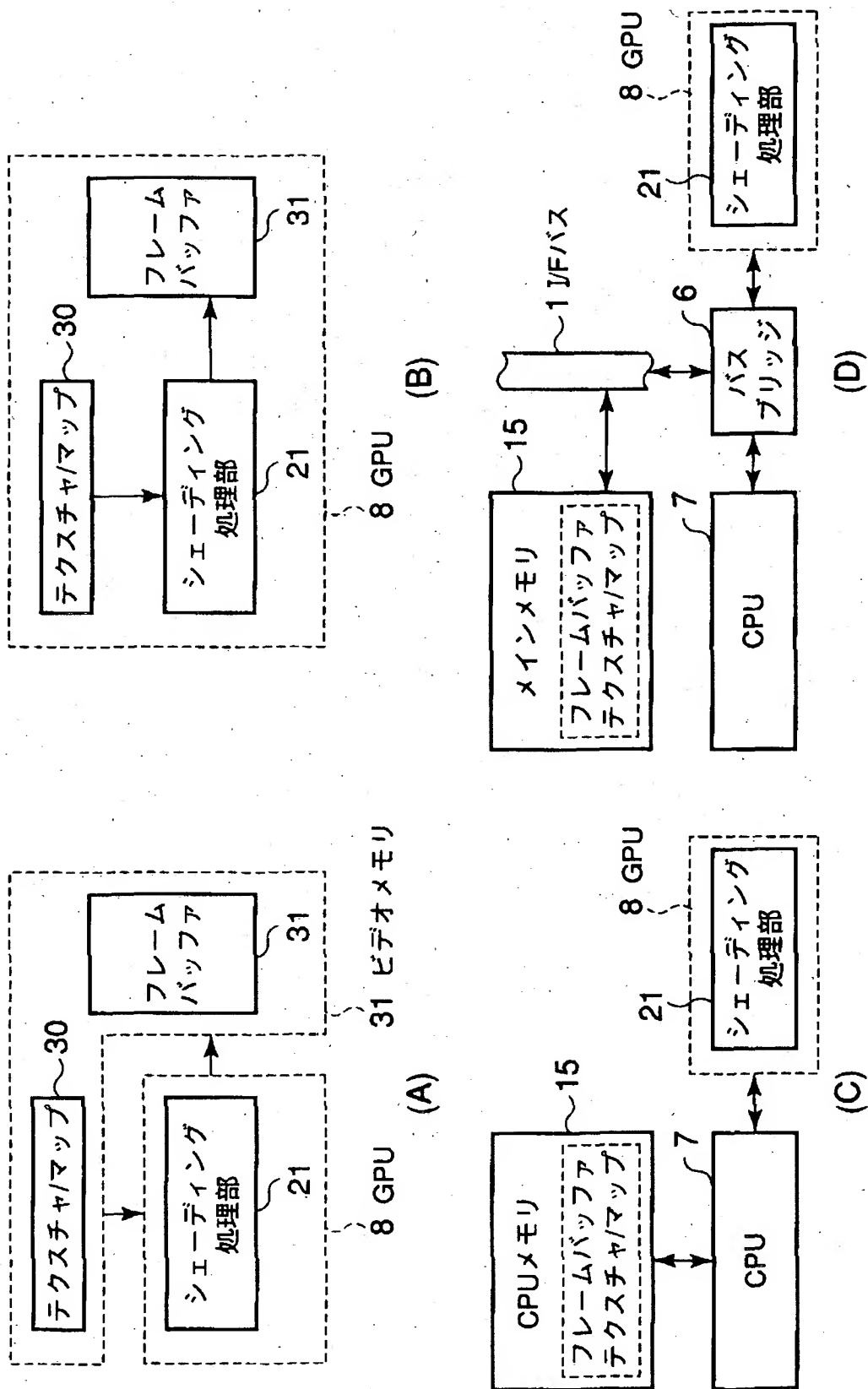
【図24】



【図25】



【图 26】



【書類名】 要約書

【要約】

【課題】 演算能力及び処理速度を向上させることが可能なグラフィックスプロセッサを提供すること。

【解決手段】 ピクセルデータにシェーディング処理を施すシェーディング処理部 2 1 と、ビデオメモリ 1 3 から出力されるテクスチャデータ及びマップデータをシェーディング処理部 2 1 に入力可能な第 1 のパスと、シェーディング処理部 2 1 から出力されるピクセルデータをビデオメモリ 1 3 に出力可能な第 2 のパスと、ピクセル展開部 2 0 から出力されるピクセルデータ及びこのピクセルデータの代わりにビデオメモリ 1 3 から出力されるピクセルデータをシェーディング処理部 2 1 に入力可能な第 3 のパスとを具備する。

【選択図】 図 4

出願人履歴情報

識別番号

[000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝